

4

XA-9640

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE



In re the application of:

Toshihiro TANAKA et al.

Appln. No.: 10/083,399

Group Art Unit: 2858

Filed: February 27, 2002

For: SEMICONDUCTOR INTEGRATED CIRCUIT AND A METHOD OF
TESTING THE SAME

* * *

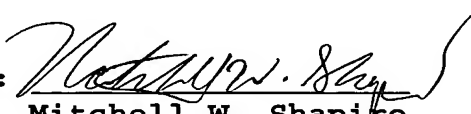
CLAIM OF PRIORITY UNDER 35 U.S.C. § 119

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

Applicants hereby claim the priority of Japanese
Patent Application No. 2001-125275 filed April 24, 2001,
and submit herewith a certified copy of said application.

Respectfully submitted,

By: 
Mitchell W. Shapiro
Reg. No. 31,568

MWS:jab

Miles & Stockbridge P.C.
1751 Pinnacle Drive
Suite 500
McLean, VA 22102-3833
Tel: (703) 610-8652

April 19, 2002

XA-9640
101083,399.
FILED: 2-27-02



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 4月24日

出 願 番 号

Application Number:

特願2001-125275

[ST.10/C]:

[JP2001-125275]

出 願 人

Applicant(s):

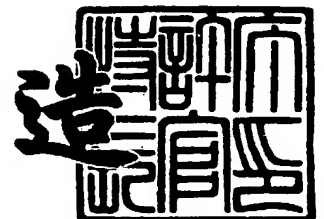
株式会社日立製作所

株式会社日立超エル・エス・アイ・システムズ

2002年 3月 5日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3013365

【書類名】 特許願

【整理番号】 H01002301

【提出日】 平成13年 4月24日

【あて先】 特許庁長官殿

【国際特許分類】 G05F 1/56

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
 製作所 半導体グループ内

 【氏名】 田中 利広

【発明者】

 【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立
 超エル・エス・アイ・システムズ内

 【氏名】 品川 裕

【発明者】

 【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立
 超エル・エス・アイ・システムズ内

 【氏名】 木村 昌彦

【発明者】

 【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立
 超エル・エス・アイ・システムズ内

 【氏名】 中村 功

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社日立製作所

【特許出願人】

 【識別番号】 000233169

 【氏名又は名称】 株式会社日立超エル・エス・アイ・システムズ

【代理人】

 【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【電話番号】 047-361-8861

【手数料の表示】

【予納台帳番号】 011040

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路及び半導体集積回路のテスト方法

【特許請求の範囲】

【請求項 1】 データレジスタにロードされる制御データに基づいて電圧を生成可能な電圧生成手段と、前記制御データを保有する不揮発性記憶手段と、前記不揮発性記憶手段に保有させる前記制御データの生成に利用される処理回路とを 1 個の半導体基板に有し、

前記処理回路は、半導体基板の外部から与えられる判定基準電圧と前記電圧生成手段で生成される電圧との関係を判定する判定回路と、判定回路の出力を参照しながらデータレジスタ上で制御データを決定し、前記決定された制御データを前記データレジスタから前記不揮発性記憶手段に格納する制御回路とを有し、前記制御回路はプログラムによってその動作が決定されるものであることを特徴とする半導体集積回路。

【請求項 2】 前記制御回路は、第 1 動作モードに応答して前記判定回路の出力を参照しながらデータレジスタ上で制御データを決定し、前記決定された制御データを前記データレジスタから前記不揮発性記憶手段に格納する処理を行い、第 2 動作モードに応答して前記不揮発性記憶手段から制御データを前記データレジスタにロードする処理を行うことが可能なことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】 前記制御回路は中央処理装置であることを特徴とする請求項 2 記載の半導体集積回路。

【請求項 4】 前記中央処理装置によってアクセス可能な RAM を有し、前記中央処理装置は、前記第 1 動作モードに応答して前記 RAM の所定領域に保持されているプログラムを実行することを特徴とする請求項 3 記載の半導体集積回路。

【請求項 5】 前記電圧生成回路は外部から供給される電源電圧を昇圧する昇圧回路であることをと特徴とする請求項 1 乃至 4 の何れか 1 項記載の半導体集積回路。

【請求項 6】 前記不揮発性記憶手段はフラッシュメモリであり、前記電圧

生成手段はフラッシュメモリの消去及び書き込みのための高電圧を供給可能であることを特徴とする請求項 5 記載の半導体集積回路。

【請求項 7】 電氣的に消去及び書き込み可能な複数の不揮発性記憶素子と、前記複数の不揮発性記憶素子の一部の不揮発性記憶素子からデータレジスタにロードされる制御データに基づいて前記複数の不揮発性記憶素子に対する消去及び書き込み用の高電圧を生成可能な電圧生成手段と、前記一部の不揮発性記憶素子に保持させる前記制御データの生成に利用される処理回路とを 1 個の半導体基板に有し、

前記処理回路は、半導体基板の外部から与えられる判定基準電圧と前記電圧生成手段で生成される電圧との関係を判定する判定回路と、前記判定回路の出力を参照しながら制御データを決定する制御回路とを有し、前記制御回路はプログラムによってその動作が決定されるものであることを特徴とする半導体集積回路。

【請求項 8】 前記制御回路は、第 1 動作モードに応答して前記判定回路の出力を参照しながら前記データレジスタ上で制御データを決定し、決定した制御データを前記データレジスタから前記一部の不揮発性記憶素子に格納する処理を行い、第 2 動作モードに応答して前記一部の不揮発性記憶素子から制御データを前記データレジスタにロードする処理を行うことが可能なことを特徴とする請求項 7 記載の半導体集積回路。

【請求項 9】 前記電圧生成回路は外部から供給される電源電圧を昇圧する昇圧回路であることをと特徴とする請求項 7 又は 8 記載の半導体集積回路。

【請求項 10】 前記不揮発性記憶素子はフラッシュメモリ素子であり、前記電圧生成手段はフラッシュメモリ素子の消去及び書き込みのための高電圧を供給可能であることを特徴とする請求項 9 記載の半導体集積回路。

【請求項 11】 データレジスタにロードされる制御データに応じた信号周期のクロック信号を出力するクロック生成回路と、前記制御データを保有する不揮発性記憶手段と、前記不揮発性記憶手段に保有させる前記制御データの生成に利用する処理回路とを 1 個の半導体基板に有し、

前記処理回路は、基準パルス信号のパルス幅と前記クロック生成回路で生成されるクロック信号のパルス幅との関係を判定する判定回路と、前記判定回路の出

力を参照しながらデータレジスタ上で制御データを決定する制御回路とを有し、前記制御回路はプログラムによってその動作が決定されるものであることを特徴とする半導体集積回路。

【請求項 1 2】 前記クロック生成回路は、発振回路と、前記発振回路から出力される発振信号をデータレジスタにロードされる制御データに基づいて分周する分周回路とから成るものであることを特徴とする請求項 1 1 記載の半導体集積回路。

【請求項 1 3】 前記制御回路は、前記決定した制御データを前記不揮発性記憶手段に格納することを特徴とする請求項 1 2 記載の半導体集積回路。

【請求項 1 4】 前記制御回路は、第 1 動作モードに応答して前記判定回路の出力を参照しながら制御データを決定し、決定した制御データを前記不揮発性記憶手段に格納する処理を行い、第 2 動作モードに応答して前記不揮発性記憶手段から制御データを前記データレジスタにロードする処理を行うことが可能なことを特徴とする請求項 1 3 記載の半導体集積回路。

【請求項 1 5】 前記制御回路は中央処理装置であることを特徴とする請求項 1 4 記載の半導体集積回路。

【請求項 1 6】 前記中央処理装置によってアクセス可能な R A M を有し、前記中央処理装置は、前記第 1 動作モードに応答して前記 R A M の所定領域に保持されているプログラムを実行することを特徴とする請求項 1 5 記載の半導体集積回路。

【請求項 1 7】 前記クロック生成回路から出力されるクロック信号は書き込み制御クロック信号であり、前記不揮発性記憶手段はフラッシュメモリであり、前記書き込み制御クロック信号は前記フラッシュメモリの書き込みのための書き込みパルスのパルス幅を決定することを特徴とする請求項 1 6 記載の半導体集積回路。

【請求項 1 8】 データレジスタにロードされる制御データに基づいて電圧を生成可能な電圧生成手段と、前記制御データを保有する不揮発性記憶手段と、前記不揮発性記憶手段に保有させる前記制御データの生成に利用される処理回路とを 1 個の半導体基板に有する半導体集積回路を複数個並列的にテストする方法

であって、

前記複数個の半導体集積回路に外部から判定基準電圧を並列的に入力する第 1 処理と、

夫々の半導体集積回路の処理回路にテスト動作を実行させ、前記データレジスタに設定された制御データに基づいて前記電圧生成手段で生成される電圧と前記判定基準電圧との関係を判定し、判定結果が目的状態に達するまで制御データを更新し、判定結果が目的状態に達したときの制御データを前記不揮発性記憶手段に格納する第 2 処理と、を含むことを特徴とする半導体集積回路のテスト方法。

【請求項 19】 前記夫々の半導体集積回路にテストプログラムをロードする処理第 3 処理を更に含み、

前記第 2 処理は、前記判定を前記処理回路の判定回路を用いて行う処理と、前記制御データの更新及び不揮発性記憶手段への格納を前記処理回路の中央処理装置に前記テストプログラムを実行させて行う処理とを含むことを特徴とする請求項 18 記載の半導体集積回路のテスト方法。

【請求項 20】 前記電圧生成回路は外部から供給される電源電圧を昇圧する昇圧回路であることをと特徴とする請求項 18 又は 19 記載の半導体集積回路のテスト方法。

【請求項 21】 前記不揮発性記憶手段はフラッシュメモリであり、前記電圧生成手段はフラッシュメモリの消去及び書き込みのための高電圧を供給可能であることを特徴とする請求項 20 記載の半導体集積回路のテスト方法。

【請求項 22】 発振回路と、前記発振回路から出力される発振信号の分周比をデータレジスタにロードされる制御データに基づいて制御する分周回路と、前記制御データを保有する不揮発性記憶手段と、前記不揮発性記憶手段に保有させる前記制御データの生成に利用する処理回路とを 1 個の半導体基板に有する半導体集積回路を複数個並列的にテストする方法であって、

前記夫々の半導体集積回路にテスト動作を指示する処理第 1 処理と、

夫々の半導体集積回路の処理回路にテスト動作を実行させ、前記データレジスタに設定された制御データに基づいて前記分周回路で生成される周期信号のパルス幅と基準パルス信号のパルス幅との関係を判定させ、判定結果が目的状態に達

するまで制御データを更新させ、判定結果が目的状態に達したときの制御データを前記不揮発性記憶手段に格納する第 2 処理と、を含むことを特徴とする半導体集積回路のテスト方法。

【請求項 2 3】 前記夫々の半導体集積回路にテストプログラムをロードする処理第 3 処理を更に含み、

前記第 2 処理は、前記判定を前記処理回路の判定回路を用いて行う処理と、前記制御データの更新及び不揮発性記憶手段への格納を前記処理回路の中央処理装置に前記テストプログラムを実行させて行う処理とを含むことを特徴とする請求項 2 2 記載の半導体集積回路のテスト方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体集積回路（L S I）の内部で生成される電圧値やパルス幅等を L S I の特性に応じて微調整するためのトリミング技術に関し、フラッシュメモリ内蔵マイクロコンピュータなどの半導体集積回路、そのような半導体集積回路に対してトリミング調整を行うテスト方法に関する。

【0 0 0 2】

【従来の技術】

フラッシュメモリなどの不揮発性メモリでは、書き換え用の特定電圧を L S I 内部で発生するものがある。この電圧は、製造ばらつきにより一定値とならず、L S I 毎にトリミングもしくは微調整をする必要がある。さらに、メモリの書き換え時間の特性もばらつくため、書き換え電圧をメモリ特性に合わせて変えることでメモリの書き換え特性を一定に保つことができる。

【0 0 0 3】

そのような不揮発性メモリの内部で発生する書き換え電圧（例えば内部昇圧電圧）の微調整（以下、電圧トリミングという）を行うには、L S I 内部で発生される電圧を外部の評価装置（テストなど）で測定する関係から、複数の L S I を並列的にトリミングすることができない。例えば、マイクロコンピュータに内蔵されるフラッシュメモリのテストプログラムを内蔵 R A M（ランダム・アクセス

・メモリ）に転送し、それぞれの内蔵CPU（中央処理装置）でこれを並列的に実行するという、並列テスト手法を採用することは難しい。このため、1個ずつ順番にLSIの内部昇圧電圧などのトリミングを実施しており、テスト時間を増大させる原因となっていた。複数のLSIに対する並列測定機能を有するテストは著しく高価であり、電圧等のトリミングだけにそのような高価なテストを用いることは現実的ではない。

【0004】

また、フラッシュメモリ或はフラッシュメモリ内蔵マイクロコンピュータでは電圧トリミングだけでなく、書込み電圧の印可時間を規定する書込みパルスのパルス幅、或はMOSトランジスタの電流値に対してもトリミング技術を適用することが必要な場合もあり、そのときにも個々に測定を必要とする関係上、事情は上記と全く同じである。

【0005】

電圧トリミングについて記載された文献の例として特開平5-265579号公報がある。これは、基準電圧のトリミング方式に関するもので、カウンタをインクリメントしながらトリミング値となる数列を発生させ、基準電圧の出力が目標値と一致したらPROM回路にこのトリミング値を書き込むものである。カウンタ及びそのインクリメント回路はハードウェアで構成され、PROM回路はヒューズ構成となっている。この文献において、トリミングによって得られる電圧と目標値電圧とを比較するコンパレータはオンチップにしても、或はテスト上のコンパレータを用いてもよい、とされる。

【0006】

【発明が解決しようとする課題】

しかしながら、上記特開平5-265579号公報には、トリミングによって得られる電圧と目標値電圧とを比較するコンパレータをオンチップにしても、或はテスト上のコンパレータを用いてもよい、と記載されるだけで、双方の相違点については全く着目されていない。これに対し、本発明者は以下の点に着眼している。即ち、電圧トリミング等のための測定動作を伴うテスト時間の短縮には、評価装置1台で複数のLSIを同時にトリミングすることが有効であるが、この

電圧トリミングは外部の評価装置が電圧を測定する関係から、並列的にトリミング動作を行うことはできない。リレーで切り替えて順番に電圧測定およびトリミングレジスタ値の調節を行うのが限度である。内部の発振器から生成されるクロック周波数を分周して作る書き込みパルス幅及び消去パルス幅、或はLSIの製造条件で決まるMOSトランジスタの電流値に対するトリミング等についても事情は同じである。このため、LSIを1個ずつ順番にトリミングしていたのではテスト時間が大幅に増大してしまう。

【0007】

また、特開平5-265579号公報記載の技術は、ハードウェアで構成されたカウンタとヒューズを用いているため、一旦トリミング値が決定されると変更することができない。昇圧電圧に応用する場合は、その電圧値を合わせ込んだ後に、書き込み時間などが目標を満足しない場合には、さらにトリミング値に補正を加えることが必要となる。

【0008】

本発明の目的は、電圧やパルス幅などを決定する制御情報の設定を自己完結的に行うことができ、制御情報の手直しも容易な半導体集積回路を提供することにある。

【0009】

本発明の別の目的は、電圧やパルス幅などを決定する制御情報の設定を並列的に且つ容易に行うことができ、その手直しも容易な半導体集積回路のテスト方法を提供することにある。

【0010】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】

〔1〕本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0012】

例えばCPUとフラッシュメモリを有する半導体集積回路の外部の評価装置から期待値の電圧を複数の半導体集積回路に並列的に与える。そのために、半導体集積回路の内部には、この期待値電圧と内部で発生する昇圧（降圧）電圧とを比較する判定回路を内蔵する。この比較判定結果を記憶するレジスタを持ち、内蔵CPUのような制御回路でこの結果を判定できる仕組みを採用する。例えば、昇圧（降圧）電圧値を変更するデータレジスタ（トリミングレジスタ）を内蔵し、内蔵CPUでそのトリミングレジスタを書き換え可能とする。上記の比較器やレジスタを内蔵CPUで制御し、トリミングを自己完結で行うため、セルフトリミングプログラムを、複数のLSIのメモリ（RAMなど）に転送し並列的に実行することができる。このプログラムでは、トリミングレジスタの値を設定し、電圧判定回路が比較結果を確定するのを待って、判定結果のレジスタの値を判定する。その結果により再度トリミングレジスタの値を更新し、LSI外部の評価装置から入力した期待値の電圧と内部で発生する電圧が等しくなるまで、若しくは所望の状態になるまで、上記処理を繰り返す。等しくなった時点のトリミングレジスタの値をトリミング値として記憶する。この記憶は、例えばフラッシュメモリのトリミングエリアにその情報を書き込むことで実現される。

【 0 0 1 3 】

同様に、MOSトランジスタの電流に対しても、例えば外部から基準となる電流を複数のLSIに対して同時に与え、夫々のLSIで内蔵MOSトランジスタの電流との比較を行い、電流トリミングを実施する。ここで、外部から一定電流を複数のLSIに対して並列的に供給するため、それぞれのLSIの入力端子に一定抵抗を付加し、これに一定電圧を印加し、一定電流を生成する方法でもよい。

【 0 0 1 4 】

また同様に、書き込みパルス幅、消去パルス幅を生成する制御クロックに対しても、基準時間と内部の発振器で発生した時間との比較を行い、制御クロックの周波数のトリミングを実施する。ここで、基準時間は、テスト時に外部から供給する特定周波数のクロックを元に内部で生成するか、または外部から基準パルスとして直接供給してよい。

【 0 0 1 5 】

上記より、外部から期待値の電圧、電流を入力し、トリミングプログラムを内蔵CPUで実行するだけで、期待値と一致するトリミング値を得ることができる。書き込み、消去パルスを生成する制御クロックの周波数トリミングも同様である。外部から与えられる期待値の電圧、電流、パルスは、複数のLSIに対して共通に供給できる。また、トリミングプログラムは内蔵CPUで実行するため、複数のLSIで並列的に実行できる。このため、複数のLSIを並列的にトリミングすることが容易になり、全体としてテスト時間を短縮できる。また、評価装置にリレーなどの切り替え装置を持たせる必要がなくなる。

【 0 0 1 6 】

〔 2 〕 本発明を具体的な態様に分けて更に詳細に説明する。先ず第 1 の態様として、CPUと共にフラッシュメモリなどをオンチップで有するデータプロセッサのような半導体集積回路を想定する。

【 0 0 1 7 】

《データプロセッサ》半導体集積回路は、データレジスタにロードされる制御データに基づいて電圧を生成可能な電圧生成手段と、前記制御データを保有する不揮発性記憶手段と、前記不揮発性記憶手段に保有させる前記制御データの生成に利用される処理回路とを 1 個の半導体基板に有する。前記処理回路は、半導体基板の外部から与えられる判定基準電圧と前記電圧生成手段で生成される電圧との関係を判定する判定回路と、判定回路の出力を参照しながらデータレジスタ上で制御データを決定し、前記決定された制御データを前記データレジスタから前記不揮発性記憶手段に格納する制御回路とを有する。制御回路はプログラムにしたがってその動作が決定される。

【 0 0 1 8 】

半導体基板の外部から与えられる判定基準電圧と前記電圧生成手段で生成される電圧との関係を判定する判定回路は、判定基準電圧と前記電圧生成手段で生成される電圧とを直接比較する構成、或は、前記電圧生成手段で生成される電圧によって電流が制御される経路の電圧を前記判定基準電圧と比較する構成の何れであってもよい。前者は電圧トリミングに、後者は電流トリミングに最適である。

【 0 0 1 9 】

半導体集積回路は判定回路を内蔵するからテストなどの評価装置に複数個接続して並列的にトリミング処理が可能になる。データレジスタ、判定回路及び制御回路を有するから、トリミングを自己完結的に行うことができ、制御回路のプログラム次第で一旦設定した制御情報の手直しも容易である。

【 0 0 2 0 】

《制御データのイニシャルロード》前記制御回路は、テストモードのような第 1 動作モードに応答して前記判定回路の出力を参照しながらデータレジスタ上で制御データを決定し、前記決定された制御データを前記データレジスタから前記不揮発性記憶手段に格納する処理を行い、リセット動作若しくはリセット指示解除のような第 2 動作モードに応答して前記不揮発性記憶手段から制御データを前記データレジスタにロードする処理を行うことが可能である。

【 0 0 2 1 】

《CPU》前記制御回路は例えば中央処理装置である。このとき、前記中央処理装置によってアクセス可能なRAMを有し、前記中央処理装置は、前記第 1 動作モードに応答して前記RAMの所定領域に保持されているプログラムを実行する。

【 0 0 2 2 】

前記第 2 動作モードに応答して、前記不揮発性記憶手段から制御データを前記データレジスタにロードする処理を行う。

【 0 0 2 3 】

《昇圧》前記電圧生成回路は外部から供給される電源電圧を昇圧する昇圧回路である。このとき、前記不揮発性記憶手段はフラッシュメモリであり、前記電圧生成手段はフラッシュメモリの消去及び書き込みのための高電圧を供給可能である。

【 0 0 2 4 】

〔 3 〕本発明の第 2 の態様として単体フラッシュメモリのような半導体集積回路を想定する。

【 0 0 2 5 】

《フラッシュメモリ》半導体集積回路は、電氣的に消去及び書き込み可能な複数の不揮発性記憶素子と、前記複数の不揮発性記憶素子の一部の不揮発性記憶素子からデータレジスタにロードされる制御データに基づいて前記複数の不揮発性記憶素子に対する消去及び書き込み用の高電圧を生成可能な電圧生成手段と、前記一部の不揮発性記憶素子に保持させる前記制御データの生成に利用される処理回路とを1個の半導体基板に有し、前記処理回路は、半導体基板の外部から与えられる判定基準電圧と前記電圧生成手段で生成される電圧との関係を判定する判定回路と、前記判定回路の出力を参照しながら制御データを決定する制御回路とを有する。前記制御回路はプログラムによってその動作が決定される。

【 0 0 2 6 】

《制御データのイニシャルロード》前記制御回路は、第1動作モードに応答して前記判定回路の出力を参照しながら前記データレジスタ上で制御データを決定し、決定した制御データを前記データレジスタから前記一部の不揮発性記憶素子に格納する処理を行い、第2動作モードに応答して前記一部の不揮発性記憶素子から制御データを前記データレジスタにロードする処理を行う。

【 0 0 2 7 】

例えば、前記電圧生成回路は外部から供給される電源電圧を昇圧する昇圧回路である。このとき、前記不揮発性記憶素子はフラッシュメモリ素子であり、前記電圧生成手段はフラッシュメモリ素子の消去及び書き込みのための高電圧を供給可能である。

【 0 0 2 8 】

〔4〕本発明の第3の態様としてパルス幅トリミングを想定する。半導体集積回路は、データレジスタにロードされる制御データに応じた信号周期のクロック信号を出力するクロック生成回路と、前記制御データを保有する不揮発性記憶手段と、前記不揮発性記憶手段に保有させる前記制御データの生成に利用する処理回路とを1個の半導体基板に有する。前記処理回路は、基準パルス信号のパルス幅と前記クロック生成回路で生成されるクロック信号のパルス幅との関係を判定する判定回路と、前記判定回路の出力を参照しながらデータレジスタ上で制御データを決定する制御回路とを有する。前記制御回路はプログラムによってその動

作が決定される。例えば、前記クロック生成回路は、発振回路と、前記発振回路から出力される発振信号をデータレジスタにロードされる制御データに基づいて分周する分周回路とから構成してよい。

【 0 0 2 9 】

前記制御回路は、前記決定した制御データを前記不揮発性記憶手段に格納する。このとき、前記制御回路は、第 1 動作モードに応答して前記判定回路の出力を参照しながら制御データを決定し、決定した制御データを前記不揮発性記憶手段に格納する処理を行い、第 2 動作モードに応答して前記不揮発性記憶手段から制御データを前記データレジスタにロードする処理を行う。

【 0 0 3 0 】

前記制御回路は中央処理装置である。例えば、前記中央処理装置によってアクセス可能な R A M を有し、前記中央処理装置は、前記第 1 動作モードに応答して前記 R A M の所定領域に保持されているプログラムを実行する。前記分周回路の出力信号は書き込み制御クロック信号であり、前記不揮発性記憶手段はフラッシュメモリであり、前記書き込み制御クロック信号は前記フラッシュメモリの書き込みのための書き込みパルスのパルス幅を決定する。

【 0 0 3 1 】

〔 5 〕 本発明に係るテスト方法は複数個の半導体集積回路に対して並列的にトリミング処理を行う。

【 0 0 3 2 】

第 1 の態様は電圧トリミングである。即ち、データレジスタにロードされる制御データに基づいて電圧を生成可能な電圧生成手段と、前記制御データを保有する不揮発性記憶手段と、前記不揮発性記憶手段に保有させる前記制御データの生成に利用される処理回路とを 1 個の半導体基板に有する半導体集積回路を複数個並列的にテストする方法は、前記複数個の半導体集積回路に外部から判定基準電圧を並列的に入力する第 1 処理と、夫々の半導体集積回路の処理回路にテスト動作を実行させ、前記データレジスタに設定された制御データに基づいて前記電圧生成手段で生成される電圧と前記判定基準電圧との関係を判定し、判定結果が目的の状態に達するまで制御データを更新し、判定結果が目的の状態に達したときの制

御データを前記不揮発性記憶手段に格納する第2処理と、を含む。これにより、電圧やパルス幅などを決定する制御情報の設定を複数の半導体集積回路に対して並列的に且つ容易に行うことができる。

【0033】

前記夫々の半導体集積回路にテストプログラムをロードする第3処理を更に含み、前記第2処理は、前記判定を前記処理回路の判定回路を用いて行う処理と、前記制御データの更新及び不揮発性記憶手段への格納を前記処理回路の中央処理装置に前記テストプログラムを実行させて行う処理とを含む。

【0034】

前記電圧生成回路は外部から供給される電源電圧を昇圧する昇圧回路である。前記不揮発性記憶手段はフラッシュメモリであり、前記電圧生成手段はフラッシュメモリの消去及び書き込みのための高電圧を供給可能である。

【0035】

第2の態様はパルス幅トリミングである。発振回路と、前記発振回路から出力される発振信号の分周比をデータレジスタにロードされる制御データに基づいて制御する分周回路と、前記制御データを保有する不揮発性記憶手段と、前記不揮発性記憶手段に保有させる前記制御データの生成に利用する処理回路とを1個の半導体基板に有する半導体集積回路を複数個並列的にテストする方法は、前記夫々の半導体集積回路にテスト動作を指示する第1処理と、夫々の半導体集積回路の処理回路にテスト動作を実行させ、前記データレジスタに設定された制御データに基づいて前記分周回路で生成される周期信号のパルス幅と前記基準パルス信号のパルス幅との関係を判定させ、判定結果が目的状態に達するまで制御データを更新させ、判定結果が目的状態に達したときの制御データを前記不揮発性記憶手段に格納する第2処理と、を含む。例えば、前記夫々の半導体集積回路にテストプログラムをロードする第3処理を更に含み、前記第2処理は、前記判定を前記処理回路の判定回路を用いて行う処理と、前記制御データの更新及び不揮発性記憶手段への格納を前記処理回路の中央処理装置に前記テストプログラムを実行させて行う処理とを含む。

【0036】

【発明の実施の形態】

《マイクロコンピュータ》図 1 には本発明の半導体集積回路の一例であるデータプロセッサとしてのマイクロコンピュータが例示される。同図に示されるマイクロコンピュータ 1 は、単結晶シリコンのような 1 個の半導体基板（半導体チップ）に例えば公知の CMOS 集積回路製造技術によって形成される。同図に従えば、マイクロコンピュータ 1 は、演算制御回路若しくは制御回路としての CPU 2、システムコントローラ 3、揮発性メモリとしての RAM 4、不揮発性メモリとしてのフラッシュメモリ 5、昇圧回路 6、電圧トリミング回路 7、分周回路 8、分周比トリミング回路 9、発振器 10、フラッシュメモリコントローラ 11、バスコントローラ 12、入出力ポート 13、及びタイマなどのその他の周辺回路 14 を有し、それら回路モジュールはバス 15 に接続される。バス 15 はアドレスバス、データバス、コントロールバスを含んでいる。特に図示はしないが、バス 15 はそれに接続される回路モジュールの動作速度や処理能力等に応じて複数種類に階層化されて構成されてよい。

【0037】

前記システムコントローラ 3 には外部から複数ビットのモード信号 17 及びリセット信号 16 などが入力される。マイクロコンピュータ 1 のパワーオンリセット或はハードウェアリセットによりリセット信号 16 がローレベルにされると、そのローレベル期間においてマイクロコンピュータ 1 の内部でリセット動作が行われる。リセット信号 16 によるリセットの解除後、複数ビットのモード信号 17 の状態に応じて、マイクロコンピュータ 1 の動作モードが決定される。CPU 2 は、その動作モードに応じたプログラム領域の先頭ベクタをリードし、そのアドレスの命令をフェッチし、フェッチした命令を解読して、命令実行を開始する。RAM 4 は CPU 2 のワーク領域若しくはデータ又はプログラムの一時記憶領域としても利用される。

【0038】

前記フラッシュメモリ 5 は CPU 2 のプログラムやデータの記憶領域とされ、電氣的に書換え可能にされる。フラッシュメモリコントローラ 11 は、CPU 2 の初期設定にしたがってフラッシュメモリ 5 に対する消去及び書込み動作手順を

制御する。フラッシュメモリ 5 に対する消去及び書込みのための高電圧 V_{pp} は、電源電圧を昇圧する昇圧回路 6 で生成する。ここで、高電圧 V_{pp} とは正の高電圧及び負の高電圧を意味する。電圧トリミング回路 7 は昇圧回路 6 による書圧電圧を微調整する回路である。分周回路 8 は発振回路 10 で生成される発振信号 ϕ を分周して消去・書込み制御クロック信号 ϕ/n を生成し、フラッシュメモリ 5 に与える。消去・書込み制御クロック信号 ϕ/n は、フラッシュメモリ 5 に対する消去電圧印可時間を規定する消去パルス信号、そしてフラッシュメモリ 5 に対する書込み電圧印可時間を規定する書込みパルス信号を生成するための基準とされる。

【 0 0 3 9 】

入出力ポート 13 は外部アドレスバス及び外部データバスへの接続、周辺回路 14 の外部インタフェース等に用いられる。

【 0 0 4 0 】

CPU 2 は、特に図示はしないが、算術論理演算器 ALU 等の演算器や汎用レジスタ及びプログラムカウンタ等のレジスタ類を有する演算部と、プログラムカウンタで示される命令アドレスの命令を解読して命令実行手順を制御する命令制御部とを有する。

【 0 0 4 1 】

図 2 にはフラッシュメモリ 5 のブロック図が示される。フラッシュメモリ 5 は、メモリセルアレイ 20、データラッチアレイ (DLA) 21、センスアンプアレイ (SAA) 22、ワード線デコーダ (WDEC) 23、ウェルデコーダ (SDEC) 24、ビット線デコーダ (CDEC) 25、カラムスイッチアレイ (CSW) 26、データバッファ (DBUF) 27、アドレスバッファ (ABUF) 28、及びタイミングコントローラ (TCNT) 29 を有する。メモリセルアレイ 20 はマトリクス配置された不揮発性記憶素子としてのフラッシュメモリセル (図示せず) を有する。フラッシュメモリセルは、特に制限されないが、半導体基板若しくはウェル領域にソース、ドレインを有し、チャネルの上方に夫々絶縁膜を介してフローティングゲート及びコントロールゲートが形成されたスタック構造を有し、ソースをソース線に、ドレインをビット線に、コントロールゲー

トをワード線に接続して構成される。

【 0 0 4 2 】

フラッシュメモリセルはその閾値電圧がプログラム可能にされ、プログラムされた閾値電圧に応じて情報を保持する。例えば、1個のフラッシュメモリセルが1ビットの情報を保持する場合に、相対的に高い閾値電圧状態を書き込み状態、相対的に低い閾値電圧状態を消去状態と称する。書き込み状態を得る為の書き込み動作は、特に制限されないが、コントロールゲートに10V、ドレインに例えば5V、ソース及び基板に例えば0Vを印加して、ドレイン・ソース間に電流を流し、これによってホットエレクトロン注入が起こり、フローティングゲートに電子が蓄積され、メモリセルの閾値電圧が高くなる。前記消去状態を得る為の消去動作は、特に制限されないが、コントロールゲートに-10V、基板に例えば+10Vを印加し、さらにソースとドレインを例えば開放（フローティング）にして、フローティングゲートに蓄積された電子を基板に放出させ、これによってメモリセルの閾値電圧が低くなる。

【 0 0 4 3 】

前記TCNT29は、前記バス15に含まれるコントロールバス15Cからメモリアクセスなどに関するバスコマンドが入力され、また、フラッシュメモリコントローラ11から書き込み及び消去動作の制御情報11Cが供給される。更に消去及び書き込み用の前記高電圧V_{pp}及び制御クロック信号 ϕ/n が供給される。TCNT29は、制御情報11C及びバスコマンドによりフラッシュメモリ5に指示される読み出し、消去、又は書き込み動作に応じて、必要な動作電圧と動作タイミングを生成して各部に供給する。

【 0 0 4 4 】

アドレスバッファ28は前記バス15に含まれるアドレスバス15Aからアドレス信号を入力する。アドレスバッファ28に入力されたアドレス信号はWDEC23、CDEC25に入力されて夫々デコードされる。WDEC23はそのデコード結果に従ってワード線を選択する。CDEC25はそのデコード結果に従ってCSW26を介してビット線を選択する。ワード線選択及びビット線選択によってフラッシュメモリセルが選択される。読み出し動作では、前記選択された

フラッシュメモリセルの読み出しデータは、S A A 2 2 にて検出され、データバッファ 2 7 を経て前記バス 1 5 に含まれるデータバス 1 5 D に出力される。書き込み動作では、前記データバス 1 5 D からデータバッファ 2 7 に与えられる書き込みデータがデータラッチアレイ 2 1 にラッチされ、ワード線選択されたメモリセルに対し、ラッチデータに従って書き込み・書き込み阻止が制御される。消去はウェル単位で行われ、制御情報 1 1 C に含まれる消去ブロック情報が T C N T 2 9 経由で W E D E C 2 4 に与えられ、W E D E C 2 4 で選択されたウェル内のメモリセルブロックが消去対象とされる。

【 0 0 4 5 】

図 3 にはフラッシュメモリのメモリマップが例示される。フラッシュメモリ 5 のメモリセルアレイ 2 0 は、第 1 記憶領域としてのブートマップ T m a t と、第 2 記憶領域としてのユーザマップ M m a t と、第 3 記憶領域としてのリペア及びトリミングマップ R m a t とを有する。前記ブートマップ T m a t 及びユーザマップ M m a t は夫々 C P U 2 のアドレス空間における先頭アドレスである 0 番地 (H' 0 0 0 0 0 0 0) をスタートアドレスとしてメモリ空間が割り当てられる。要するに、前記ブートマップ T m a t 及びユーザマップ M m a t はアドレス空間がオーバーラップされ、前記アドレスデコーダ W D E C 2 3、C D E C 2 5 はどのマップを利用するか の指示に 応答してアドレスデコード論理が選択されることになる。どのマップを利用するかは前記モード信号 1 7 で指示されるマイクロコンピュータの動作モードなどによって決まる。前記ブートマップ T m a t には、フラッシュメモリ 1 5 の消去及び書き込み処理プログラムやテスト用のプログラム等が格納されている。リペア及びトリミングマップ R m a t はメモリセルアレイにおける欠陥救済アドレスや回路の特性に応じた合わせ込みのためのトリミング回路、例えば前記電圧トリミング回路 7 及び分周比トリミング回路 9 に設定すべき制御データが格納される。個々に格納された制御データは、リセット解除後に所定のシーケンスで読み出されて、夫々前記電圧トリミング回路 7 及び分周比トリミング回路 9 のトリミングレジスタにイニシャルロードされる。これにより、それ以降、前記電圧トリミング回路 7 及び分周比トリミング回路 9 は、イニシャルロードされた制御データにより、予め回路特性に合わせ込みされた、高電圧

V_{pp} 及び制御クロック信号 ϕ/n を電圧トリミング回路 7 及び分周比トリミング回路 9 から発生させ、これがフラッシュメモリ 5 に供給される。

【 0 0 4 6 】

《電圧トリミング》次に前記リペア及びトリミングマット R_{mat} に格納すべき電圧トリミング回路のための制御データの生成について説明する。

【 0 0 4 7 】

図 4 には電圧トリミングのための回路構成が例示される。昇圧 6 回路は 6 0 ~ 6 6 で示される回路要素により構成される。即ち、昇圧回路 6 はチャージポンプ回路などを用いた昇圧部 6 0 を有する。昇圧部 6 0 は電圧発生制御レジスタ 6 1 に動作開始の指示データをセットすることによりチャージポンプ動作が可能になる。昇圧部 6 0 から出力される昇圧電圧 V_{pp} は分圧回路 6 2 で分圧され、分圧された複数の分圧電圧の一つがセレクタ 6 3 で選択される。選択された分圧電圧と基準電圧との差電圧が差動アンプ 6 4 で形成されて昇圧部 6 0 に帰還され、この負帰還制御により、昇圧電圧 V_{pp} のレベルが決定される。セレクタ 6 3 はデコーダ 6 5 の出力で選択され、デコーダ 6 5 にはトリミングレジスタ 6 6 の設定値が供給される。トリミングレジスタ 6 6 に設定される制御データの値に応じて帰還量が変化される。制御データを適当に選ぶことによって、高電圧 V_{pp} の値を微調整（トリミング調整）することができる。

【 0 0 4 8 】

上記微調整により高電圧 V_{pp} に目標値を得るために、外部の評価装置 1 8 から与えられる比較用電圧としての期待電圧 V_{ref} と前記昇圧部 6 0 で生成される電圧 V_{pp} とを比較する判定回路としての比較回路 7 0 と、比較回路 7 0 による比較結果が保持される判定レジスタ 7 1 とが設けられる。判定レジスタ 7 1 は、トリミングレジスタ 6 6、電圧発生制御レジスタ 6 1 と同様に、バス 1 5 に接続され、CPU 2 によってアクセス可能にされる。トリミング調整処理にとって前記 CPU 2 は、判定レジスタ 7 1 の値を参照しながらトリミングレジスタ 6 6 上で制御データを決定し、前記決定された制御データを前記トリミングレジスタ 6 6 から前記フラッシュメモリ 5 のリペア及びトリミングマット R_{mat} に格納する制御回路としての機能を実現する。

【 0 0 4 9 】

特に制限されないが、CPU 2 によるトリミング調整処理の動作は、モード信号 1 7 でシステムコントローラ 3 にテストモードが指示されることに応答して可能にされる。

【 0 0 5 0 】

図 5 にはトリミング調整用の制御データを取得する処理の全体的なフローチャートが例示される。評価装置 1 8 はマイクロコンピュータ 1 にテストモードを設定し、トリミング調整処理のためのプログラム(トリミングプログラム)を RAM 4 の所定エリアにダウンロードする (S 1)。次いで、評価装置 1 8 は期待電圧 V_{ref} をボンディングパッドのような電極パッド Pad を介して比較回路 7 0 に供給し (S 2)、CPU 2 にトリミングプログラムの実行を指示する (S 3)。

【 0 0 5 1 】

CPU 2 はトリミングプログラムを実行し、先ず、電圧発生制御レジスタ 6 1 に動作開始データをセットし (S 4)、トリミングレジスタ 6 6 に最小電圧を指定する制御データをセットする (S 5)。CPU 2 は所定時間 NOP (ノンオペレーション) 命令を実行して昇圧部 6 0 による昇圧動作の安定を待つ (S 6)。この間、比較回路 7 0 は生成される昇圧電圧 V_{pp} と期待電圧 V_{ref} を比較し、 $V_{ref} > V_{pp}$ であれば判定レジスタ 7 1 に “0” がセットされ、 $V_{ref} \leq V_{pp}$ であれば判定レジスタ 7 1 に “1” がセットされる。CPU 2 は、所定時間 NOP 命令を実行した後、判定レジスタ 7 1 の値を判定し (S 7)、“0” ならトリミングレジスタ 6 6 の制御データを更新して昇圧電圧 V_{pp} に次に高い電圧を指定し、所定時間 NOP (ノンオペレーション) 命令を実行して昇圧部 6 0 による昇圧動作の安定を待ち (S 8)、上記判定動作 (S 7) を繰り返す。判定動作 (S 7) により “1” を判別すると、判定処理のループを抜け、トリミング調整用の制御データを取得する処理を終了する。

【 0 0 5 2 】

上述のようにマイクロコンピュータ 1 は、トリミングレジスタ 6 6、比較回路 7 0 及び CPU 2 を有するから、トリミング調整用の制御データの取得処理を自

己完結的に行うことができる。従って、図 6 に例示されるように評価装置 1 8 に複数のマイクロコンピュータを接続して、それらを並列動作させて能率的にトリミング調整処理を行うことができる。

【 0 0 5 3 】

各マイクロコンピュータ 1 がトリミング調整用の制御データを取得した後、夫々のマイクロコンピュータ 1 にトリミングレジスタ 6 6 の制御データをフラッシュメモリのリペア及びトリミングマット R m a t の所定エリアに書込みをする指示を与える。その指示を受けると、C P U 2 は前記トリミング処理プログラムの対応する処理ルーチンを実行し、トリミングレジスタ 6 6 の制御データをフラッシュメモリ 5 のデータラッチ回路 2 1 にラッチさせ、データラッチ回路 2 1 の前記データをリペア及びトリミングマット R m a t の所定エリアに書込みをする。

【 0 0 5 4 】

一旦制御データをリペア及びトリミングマット R m a t に書込んだ後も、マイクロコンピュータ 1 がパッケージングされる前であれば、電極パッド P a d が露出している限り、制御データの書換えも可能である。制御データの取得及び書込み処理は評価装置 1 8 からダウンロードされるプログラム次第で任意に行うことが可能だからである。

【 0 0 5 5 】

比較例として、従来は図 7 に例示されるように測定端子から昇圧電圧を評価装置に与え、図 8 に例示されるように評価装置に判定させて、その結果にしたがってトリミングレジスタの値を更新させなければならない。それ故に、図 9 に例示されるように、評価装置はマイクロコンピュータを 1 個ずつ順番にトリミング調整していかなければならない。

【 0 0 5 6 】

図 1 0 には図 4 の構成の変形例に係るマイクロコンピュータ 1 A が示される。図 4 との相違点は、比較回路 7 0 の入力電圧を分圧回路 6 2 による一つの分圧電圧としたことである。例えば昇圧電圧 V_{pp} が 1 0 V のような高電圧であっても、比較回路 7 0 の耐圧を低くすることが可能になり、評価装置 1 8 も電圧レベルの低い期待電圧 V_{ref} を出力すれば済むようになる。

【 0 0 5 7 】

図 1 1 には図 4 の構成の別の変形例に係るマイクロコンピュータ 1 B が示される。図 4 との相違点は複数の昇圧部 6 0、6 0 に対応する構成とされる。即ち、期待電圧 V_{ref} を入力する電極パッド P_{ad} を複数の比較回路 7 0、7 0 に共通化し、選択スイッチ 7 2 で選択された一つの比較回路 7 0 に期待電圧 V_{ref} を供給可能にされる。選択スイッチ 7 2 は CPU 2 のアドレス空間に配置された選択レジスタ 7 3 の設定値に従って選択される。図 1 1 の例では判定レジスタ 7 1 は複数の比較回路 7 0、7 0 に共有される。図 1 1 の例では、選択スイッチ 7 2 は V_{ref} 入力を切り換えているが、分圧回路 6 2 の出力を切り換えて、比較回路 7 0 を 1 個にすることも可能である。図 1 1 の構成により、トリミング処理のみに利用される電極パッド P_{ad} の数を減らすことができる。

【 0 0 5 8 】

図 1 2 には図 4 の構成の更に別の変形例に係るマイクロコンピュータ 1 C が示される。同図に示される例は電流トリミングに適用されるものである。例えば周辺回路 1 4 に含まれる回路の電流源 MOS トランジスタ 1 4 0 の電流値が回路特性に大きな影響を与える場合に、そのバイアス電圧発生部 6 0 C のバイアス電圧 V_{bas} を微調整可能にする。そのために、前記電流源 MOS トランジスタ 1 4 0 と同一プロセスで形成されるダミー MOS トランジスタ 7 4 を用意し、バイアス電圧発生部 6 0 C のバイアス電圧 V_{bas} をダミー MOS トランジスタ 7 4 のゲート電極に印可する。ダミー MOS トランジスタ 7 4 のドレイン電極は電極パッド P_{ad} に接続される。電極パッド P_{ad} には評価装置 1 8 より抵抗素子を介して定電流が供給される。比較回路 7 0 はダミー MOS トランジスタ 7 4 に流れる電流に応じて形成される電圧を期待電圧 V_{ref} と比較する。この構成において、期待電圧 V_{ref} はダミー MOS トランジスタ 7 4 と V_{bas} を共用する MOS トランジスタ 1 4 0 の電流値を規定するものである。

【 0 0 5 9 】

この構成において、比較回路 7 0 の比較結果に応じてバイアス電圧 V_{bas} を更新することにより、MOS トランジスタ 1 4 0 の電流を規定の電流値とするバイアス電圧 V_{bas} を生成する制御データをトリミングレジスタ 6 6 に得ること

ができる。トリミング手順は図4の場合と同じであり、それと同様の効果を得ることができる。

【0060】

図13には図4の構成の別の変形例に係るマイクロコンピュータ1Dが示される。図4との相違点は電圧トリミングの構成を負電圧昇圧にも適用した点である。負電圧昇圧のために、負電圧昇圧部60Dと負電圧に対応する分圧回路62Dが用意されている。負電圧昇圧を用いる場合にも、トリミング手順は図4の場合と同じであり、それと同様の効果を得ることができる。

【0061】

図14には図4の構成の別の変形例に係るマイクロコンピュータ1Eが示される。図4と図13を組み合わせた構成を有する。判定レジスタ71は正電圧昇圧のトリミングと負電圧昇圧のトリミングに共用される。

【0062】

《分周比トリミング》次に分周比トリミング回路9のための制御データの生成について説明する。

【0063】

図15には分周比トリミングのための回路構成が例示される。発振回路10は例えばリングオシレータにより構成され、クロック信号 ϕ を出力する。分周回路8は分周部80と分周比トリミングレジスタ81によって構成される。発振回路10の発振周波数は図16に例示されるように、それを構成するMOSトランジスタのゲート長寸法(Lg)のばらつきにより変動する。分周部80は前記クロック信号 ϕ を分周して、書込み制御クロック信号 ϕ/n と、比較パルス ϕ/m を生成する。 $n \leq m$ であり、比較パルス ϕ/m は制御クロック信号 ϕ/n に対して更に n/m 分周された関係にある。書込み制御クロック信号 ϕ/n はフラッシュメモリ5において、図17に例示されるように書込みパルス信号のパルス幅を規定するクロック信号として利用される。制御クロック信号 ϕ/n が比較的遅いクロックの場合、パルス幅の頻度を十分とることができない。このため、さらに分周比を上げた ϕ/n を比較パルスとして使用する。

【0064】

パルス幅を微調整するためにパルス幅比較回路 7 8 と判定レジスタ 7 7 が設けられる。パルス幅比較回路 7 8 は電極パッド P a d 3 を介して評価装置 1 8 から供給される基準パルス P L S と前記比較パルス ϕ / m とのパルス幅（例えば正極性パルス幅）を比較し、比較結果を判定レジスタ 7 7 に返す。例えば分周比トリミングレジスタ 8 1 にパルス幅最大の制御データから設定していく場合には、比較パルス ϕ / m の正極性パルス幅が基準パルス P L S の正極性パルス幅よりも小さくなったか否かを判定し、大きいときは“0”、小さいときは“1”を設定する。CPU 2 は、判定レジスタ 7 7 から判定結果を参照しながら分周比トリミングレジスタ 8 1 上で制御データを決定する演算処理を行う。例えば、判定結果が“0”なら、比較パルス幅を小さくするように制御データを更新し、比較結果が“0”から“1”に変化したときの制御データをフラッシュメモリ 5 の前記リペア及びトリミングマット R m a t に格納する制御を行う。

【 0 0 6 5 】

分周比トリミング調整用の制御データを取得するとき、評価装置 1 8 は、分周比トリミング調整処理のためのプログラムを R A M 4 の所定エリアにダウンロードする。CPU 2 に分周比トリミングプログラムの実行を指示する。CPU 2 はトリミングプログラムを実行し、先ず、分周比トリミングレジスタ 8 1 に例えば最大パルス幅を指定する制御データをセットする。次いで、評価装置 1 8 は基準パルス P L S をボンディングパッドのような電極パッド P a d 3 を介してパルス幅比較回路 7 8 に供給し、この間、パルス幅比較回路 7 8 は生成された比較パルス ϕ / m の正極性パルス幅が基準パルス P L S の正極性パルス幅よりも小さくなったか否かを判定する。大きければ判定レジスタ 7 7 に“0”をセットし、小さくければ判定レジスタ 7 7 に“1”をセットする。CPU 2 は、判定レジスタ 7 7 の値を検査し、“0”なら分周比トリミングレジスタ 8 1 の制御データを更新して、比較パルス ϕ / m のパルス幅を 1 段階狭め、再度上記判定動作を繰り返す。判定動作により“1”を判別すると、判定処理のループを抜け、分周比トリミング調整用の制御データを取得する処理を終了する。

【 0 0 6 6 】

上述のようにマイクロコンピュータ 1 は、分周比トリミングレジスタ 8 1、パ

ルス幅比較回路 7 8 及び CPU 2 を有するから、分周比トリミング調整用の制御データの取得処理を自己完結的に行うことができる。従って、評価装置 1 8 に複数のマイクロコンピュータ 1 を接続して、それらを並列動作させて能率的に分周比トリミング調整処理を行うことができる。

【 0 0 6 7 】

各マイクロコンピュータ 1 が分周比トリミング調整用の制御データを取得した後、夫々のマイクロコンピュータ 1 に分周比トリミングレジスタ 8 1 の制御データをフラッシュメモリ 5 のリペア及びトリミングマツト R m a t の所定エリアに書込みする指示を与える。その指示を受けると、CPU 2 は前記トリミング処理プログラムの対応する処理ルーチンを実行し、分周比トリミングレジスタ 8 1 の制御データをフラッシュメモリ 5 のデータラッチ回路 2 1 にラッチさせ、データラッチ回路 2 1 の前記データをリペア及びトリミングマツト R m a t の所定エリアに書込みする。

【 0 0 6 8 】

一旦制御データをリペア及びトリミングマツト R m a t に書込んだ後も、マイクロコンピュータ 1 がパッケージングされる前に前であれば、電極パッド P a d 3 が露出している限り、制御データの書換えも可能である。制御データの取得及び書込み処理は評価装置 1 8 からダウンロードされるプログラムの内容にしたがって任意に行うことが可能だからである。

【 0 0 6 9 】

図 1 8 には分周比トリミングのための別の回路構成が例示される。図 1 5 との相違点は基準パルス生成する基準時間生成レジスタ 7 9 をマイクロコンピュータ 1 に内蔵したことである。この基準時間生成レジスタ 7 9 の 1 ビットは基準時間生成ビットとされ、そのビットが基準パルス P L S 1 としてパルス幅比較回路 7 8 に供給される。基準時間生成ビットはバス 1 5 を介して CPU 2 により設定される。CPU 2 が基準時間生成ビットに“1”をセットしてから、所定のサイクル数だけ CPU 2 に NOP 命令を実行させ、其の後、基準時間生成ビットを“0”にクリアすれば、前記 NOP 命令の連続実行時間に呼応する正極性パルス状の基準パルス P L S 1 を生成することができる。これを外部からの基準パルス P

LSに代えて利用する。その他の構成は図15と同じであり同一機能を有する回路要素には同一符号を付してその詳細な説明を省略する。

【0070】

図19には図18において分周比トリミング調整用の制御データを取得する処理の全体的なフローチャートが例示される。

【0071】

分周比トリミング調整用の制御データを取得するとき、評価装置18は、分周比トリミング調整処理のためのプログラムをRAM4の所定エリアにダウンロードする(S11)。そして、CPU2に分周比トリミングプログラムの実行を指示する(S12)。CPU2はトリミングプログラムを実行し、先ず、分周比トリミングレジスタ81に例えば最大パルス幅を指定する制御データをセットする(S13)。そしてCPU2は基準時間生成ビットに“1”をセットし(S14)、分周部80に分周動作を開始させると共に所定のサイクル数だけNOP命令を実行し(S15)、其の後、基準時間生成ビットを“0”にクリアする(S16)。これにより、前記NOP命令の連続実行時間に呼応する正極性パルス状の基準パルスPLS1を生成することができる。パルス幅比較回路78では、分周部80で生成される比較パルス ϕ/m の正極性パルス幅(分周回路出力幅)が基準パルスPLS1の正極性パルス幅(基準時間)よりも小さいか否かを判定する(S17)。大きければ判定レジスタ77に“0”をセットし(S18)、小さくければ判定レジスタ77に“1”をセットする(S19)。CPU2は、判定レジスタ77の値を判定し(S20)、“0”なら分周比トリミングレジスタ81の制御データを更新して、比較パルス ϕ/m のパルス幅を1段階狭め(S21)、上記判定動作を繰り返す。判定動作により“1”を判別すると、判定処理のループを抜け、分周比トリミング調整用の制御データを取得する処理を終了する。

【0072】

マイクロコンピュータ1が分周比トリミング調整用の制御データを取得した後、マイクロコンピュータ1に分周比トリミングレジスタ81の制御データをフラッシュメモリ5のリペア及びトリミングマツトRmatの所定エリアに書込みをする指示を与える。その指示を受けると、CPU2は前記トリミング処理プログ

ラムの対応する処理ルーチンを実行し、分周比トリミングレジスタ 8 1 の制御データをフラッシュメモリ 5 のデータラッチ回路 2 1 にラッチさせ、データラッチ回路 2 1 の前記データをリペア及びトリミングマツト R m a t の所定エリアに書込みする。

【 0 0 7 3 】

図 2 0 には前記分周比トリミングレジスタ 8 1 の設定値とそれによって得られる分周比との関係が例示される。図 2 0 に従えば、分周比トリミングレジスタ 8 1 は 3 ビットであり、其の設定値に応じて分周比は $1/64 \sim 1/36$ に変化される。したがってトリミング後の書込み制御クロック ϕ/n として周波数 1. 0 M H z を目標値とする場合を想定するとき、図 2 0 には、リングオシレータ発振周波数と分周比との関係が例示列挙されている。

【 0 0 7 4 】

図 2 1 には基準時間生成ビットで規定される基準パルス P L S 1 と、比較パルス ϕ/m のパルス幅の関係が例示される。トリミング処理の最初は (A) のように、分周比トリミングレジスタ 8 1 の設定値は (0, 0, 0) にされ、比較パルス ϕ/m のパルス幅は最大にされる。(B) にはトリミングレジスタの設定値を順次更新して、比較パルス ϕ/m のパルス幅が基準パルス P L S 1 のパルス幅よりも小さくなった直後の状態が例示される。

【 0 0 7 5 】

図 2 2 には前記分周部 8 0 の詳細が例示される。図 2 3 には図 2 2 の回路の動作タイミングチャートが例示される。分周部 8 0 は、カウンタ 8 2 を主体に構成され、分周比 (パルス幅) を調整するためのデコーダ 8 3 及び一致判定回路 8 4 を有する。カウンタ 8 2 はクロック信号 ϕ の 2 相クロック $\phi 1$ 、 $\phi 2$ をカウントする $\phi/2 \sim \phi/128$ の 7 段のカウンタ段を有する。ここでは、例えば $\phi/64$ を $\phi/n = \phi/m$ と考える。デコーダ 8 3 は分周比トリミングレジスタ 8 1 の制御データをデコードし、その制御データに応ずる一つの信号を活性化して出力する。一致判定回路 8 4 はデコーダ 8 3 から出力される活性化信号の位置が、クロック信号 ϕ の第 1 サイクルから第 16 サイクルまでのどのサイクルの位置に一致するかを判定する。判定結果は、 $\phi 2$ 同期でラッチされ、 $\phi/2$ 、 $\phi/4$ 、 ϕ

／8のカウンタ段に計数値のリセット信号として与えられる。図23の例では、クロック信号 ϕ の第13サイクルがリセットタイミングとされ、そこで、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ のカウンタ段の計数値がリセットされ、その状態が上位カウンタ段に伝達される。この結果、 $\phi/16$ のクロック信号の1サイクルが更新され、 $\phi/32$ のクロック信号の半サイクルが更新され、 $\phi/64$ は更新された $\phi/32$ のサイクルに依存し、 $\phi/128$ は更新された $\phi/64$ のサイクルに依存して、 ϕ/n 、 ϕ/m のパルス幅が微調整される。要するに、 ϕ/n 、 ϕ/m の分周比が微調整される。

【0076】

図24には図18の構成の別の変形例に係るマイクロコンピュータ1Fが示される。図18との相違点は、発振周波数に対するトリミング機能付きの発振回路10Aを採用し、制御データを周波数トリミングレジスタ100に設定するようにした点である。周波数をトリミング可能にするには、リングオシレータの発振ループに挿入する容量素子などの遅延素子の数もしくは遅延量を、トリミングレジスタ100内の制御データの値に応じて変更可能にすればよい。

【0077】

《フラッシュメモリチップ》図25には本発明の半導体集積回路の一例であるフラッシュメモリチップが例示される。同図に示されるフラッシュメモリチップ5Aは単体のフラッシュメモリを構成する。フラッシュメモリチップ5Aは基本的な構成として図2と同様の、メモリセルアレイ20、DLA21、SAA22、WDEC23、WEDEC24、CDEC25、CSW26、DBUF27、ABUF28を有する。ABUSはアドレスバス、DBUSはデータバス、CBUSはコントロールバスを意味する。

【0078】

フラッシュメモリチップ5Aは昇圧回路6A及びトリミング回路7Aを有する。昇圧回路6Aは消去及び書込みに必要な高電圧 V_{pp} を生成してタイミングコントローラ50に与える。トリミング回路7Aはその高電圧 V_{pp} を微調整するための回路である。トリミング回路7Aによるトリミング調整に利用される期待電圧 V_{ref} を入力するテスト用ボンディングパッドのような電極パッドPa

d 1 が設けられ、また、テストモードを指示するテスト用ボンディングパッドのような電極パッド P a d 2 が設けられている。

【 0 0 7 9 】

タイミングコントローラ (T C N T) 5 0 はコントロールバスバッファ (C B U F) 5 1 を介してデータバス D B U S から消去及び書込み動作の制御情報が設定され、コントロールバス C B U S からバスコマンド等が供給される。要するに、タイミングコントローラ 5 0 は、それに与えられる制御情報及びバスコマンドに応答して、リード動作、消去動作、及び書込み動作等を行うための制御手順にしたがって内部タイミング信号及び書込み電圧や消去電圧などの動作電圧を生成して各部に供給する。前記書込み電圧や消去電圧などの動作電圧は昇圧回路 6 A で生成された高電圧 V_{pp} を利用して生成される。

【 0 0 8 0 】

図 2 6 には電圧トリミングのための回路構成が例示される。トリミング回路 7 A 及び昇圧回路 6 A の基本的な構成は図 4 と同じであり、それと同一機能を有する回路要素には同一符号を付して其の詳細な説明を省略する。相違点は、図 4 の C P U 2 に代えて専用シーケンサ 7 6 とフラッシュヒューズ回路 5 2 を搭載した点である。この専用シーケンサ 7 6 は、判定レジスタ 7 1 の値を参照しながらトリミングレジスタ 6 6 上で制御データを決定し、前記決定された制御データを前記トリミングレジスタ 6 6 からフラッシュヒューズ回路 5 2 に格納する制御回路としての機能を実現する処理に特化した、例えばハードワイヤードロジックにより構成される。前記専用シーケンサ 7 6 及びフラッシュヒューズ回路 7 7 はタイミングコントローラ 5 0 に内蔵されている。前記専用シーケンサ 7 6 による処理は電極パッド P a d 2 から与えられるテストモードの指示などに応答して開始される。前記フラッシュヒューズ回路 5 2 はフラッシュメモリセルのような電氣的に書込み可能な不揮発性記憶素子によって構成される。コントロールバス C B U S などを介してリセット信号が入力され、或は電源が投入されると、フラッシュヒューズ回路 5 2 に記憶された制御データがトリミングレジスタにイニシャルロードされるようになっている。これにより、それ以降、前記電圧トリミング回路 7 A は、イニシャルロードされた制御データにより、予め回路特性に合わせ込み

された高電圧 V_{pp} をタイミングコントローラ 50 に供給可能になる。

【0081】

図 27 にはトリミング調整用の制御データを取得する処理の全体的なフローチャートが例示される。評価装置 18 は、期待電圧 V_{ref} をボンディングパッドのような電極パッド Pad を介して比較回路 70 に供給し (S21)、専用シーケンサ 76 にトリミング調整処理のための処理の開始を指示する。専用シーケンサ 76 は、先ず、電圧発生制御レジスタ 61 に動作開始データをセットし (S22)、トリミングレジスタ 66 に最小電圧を指定する制御データをセットする (S23)。専用シーケンサ 76 は昇圧部 60 による昇圧動作の安定を待つ (S24)。この間、比較回路 70 は生成される昇圧電圧 V_{pp} と期待電圧 V_{ref} を比較し、 $V_{ref} > V_{pp}$ であれば判定レジスタ 71 に “0” がセットされ、 $V_{ref} \leq V_{pp}$ であれば判定レジスタ 71 に “1” がセットされる。専用シーケンサ 76 は、判定レジスタ 71 の値を判定し (S25)、“0” ならトリミングレジスタ 66 の制御データを更新して昇圧電圧 V_{pp} に次に高い電圧を指定し、昇圧部 60 による昇圧動作の安定を待ち (S26)、上記判定動作 (S25) を繰り返す。判定動作 (S25) により “1” を判別すると、判定処理のループを抜け、トリミング調整用の制御データを取得する処理を終了する。調整用の制御データを取得した後、専用シーケンサ 76 はトリミングレジスタ 66 の制御データをフラッシュヒューズ回路 52 に書込みする。

【0082】

フラッシュメモリチップ 1 は、トリミングレジスタ 66、比較回路 70 及び専用シーケンサ 76 を有するから、トリミング調整用の制御データの取得処理を自己完結的に行うことができる。従って、評価装置 18 に複数のフラッシュメモリチップを接続して、それらを並列動作させて能率的にトリミング調整処理を行うことができる。

【0083】

図 28 には図 26 の構成の別の変形例に係るフラッシュメモリチップ 5B が示される。図 26 との相違点は専用シーケンサ 76 が設けられていない点である。前記電圧発生制御レジスタ 61、トリミングレジスタ 66、判定レジスタ 71、

及びフラッシュヒューズ回路 5 2 は内部バス 5 1 を介して評価装置 1 8 に接続される。前記専用シーケンサ 7 6 の機能は評価装置 1 8 が担うことになる。この時のトリミング調整用の制御データを取得する処理の全体的なフローチャートは図 2 9 のようになる。

【 0 0 8 4 】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【 0 0 8 5 】

例えば、昇圧電圧トリミング用の制御データを格納する不揮発性メモリはプログラムとデータを格納する不揮発性メモリとは異なる別の不揮発性記憶手段であってよい。例えば電氣的にプログラム可能な電気ヒューズもしくは電氣的に絶縁破壊可能なアンチヒューズであってもよい。不揮発性記憶手段は所謂フラッシュメモリに限定されず、強誘電体メモリ等の別の記憶形式のメモリであってもよい。また、トリミング対象とされる回路は昇圧回路や分周回路に限定されずバイアス回路等であってもよい。また、不揮発性記憶素子もしくは不揮発性記憶手段は 2 値の情報記憶を行うものに限定されず、4 値以上の情報記憶を行うものであってもよい。

【 0 0 8 6 】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【 0 0 8 7 】

すなわち、外部から期待値の電圧、電流等を入力し、所定のプログラムを内蔵 CPU 等で実行するだけで、期待値と一致するトリミングの値を得ることができる。書き込み、消去パルスを生成する制御クロックの周波数トリミングも同様である。外部から与える期待値の電圧、電流、パルスは、複数の L S I に対して共通に供給できる。また、トリミングプログラムは内蔵 CPU 等の制御回路で実行するため、複数の L S I で並列的に実行できる。このため、複数の L S I の並列

トリミングが容易であり、全体としてのテスト時間を短縮できる。また、評価装置にリレーなどの切り替え装置を持たせる必要もない。

【 0 0 8 8 】

したがって、電圧やパルス幅などを決定する制御情報の設定を自己完結的に行うことができ、電圧やパルス幅などを決定する制御情報の設定を並列的に且つ容易に行うことができ、制御情報の手直しも容易である。

【図面の簡単な説明】

【図 1】

本発明の半導体集積回路の一例であるマイクロコンピュータを例示するブロック図である。

【図 2】

フラッシュメモリのブロック図である。

【図 3】

フラッシュメモリのメモリマップを例示する説明図である。

【図 4】

図 1 のマイクロコンピュータにおいて電圧トリミングのための回路構成を例示するブロック図である。

【図 5】

トリミング調整用の制御データを取得する処理を全体的に示すフローチャートである。

【図 6】

評価装置に複数個のマイクロコンピュータを接続してそれらを並列動作させるときの接続状態を示す説明図である。

【図 7】

測定端子から昇圧電圧を評価装置に与える従来構造を示す説明図である。

【図 8】

評価装置に判定させてその結果にしたがってトリミングレジスタの値を更新させる従来のトリミング方式を示す説明図である。

【図 9】

評価装置でマイクロコンピュータを1個ずつ順番にトリミング調整していく場合の従来の接続形態を示す説明図である。

【図 1 0】

図4の構成の変形例に係るマイクロコンピュータの概略を例示するブロック図である。

【図 1 1】

図4の構成の別の変形例に係るマイクロコンピュータの概略を例示するブロック図である。

【図 1 2】

図4の構成の更に別の変形例に係るマイクロコンピュータの概略を例示するブロック図である。

【図 1 3】

図4の構成の別の変形例に係るマイクロコンピュータの概略を例示するブロック図である。

【図 1 4】

図4の構成の別の変形例に係るマイクロコンピュータの概略を例示するブロック図である。

【図 1 5】

マイクロコンピュータにおいて分周比トリミングのための回路構成を例示するブロック図である。

【図 1 6】

発振回路の発振周波数のばらつきを例示する説明図である。

【図 1 7】

書込み制御クロック信号がフラッシュメモリにおいて書込みパルス信号のパルス幅を規定するクロック信号であることを例示する説明図である。

【図 1 8】

分周比トリミングのための別の回路構成を例示するブロック図である。

【図 1 9】

図18において分周比トリミング調整用の制御データを取得する処理を全体的

に例示するフローチャートである。

【図 2 0】

分周比トリミングレジスタの設定値とそれによって得られる分周比との関係を例示する説明図である。

【図 2 1】

基準時間生成ビットで規定される基準パルスと比較パルス ϕ/m のパルス幅の関係を例示するタイミング図である。

【図 2 2】

分周部の詳細を例示する論理回路図である。

【図 2 3】

図 2 2 の回路の動作タイミングチャートである。

【図 2 4】

図 1 8 の構成の別の変形例に係るマイクロコンピュータを例示するブロック図である。

【図 2 5】

本発明の半導体集積回路の一例であるフラッシュメモリチップを例示するブロック図である。

【図 2 6】

電圧トリミングのための回路構成を例示するブロック図である。

【図 2 7】

トリミング調整用の制御データを取得する処理を全体的に示すフローチャートである。

【図 2 8】

図 2 6 の構成の別の変形例に係るフラッシュメモリチップを例示するブロック図である。

【図 2 9】

トリミング調整用の制御データを取得する処理を全体的に示すフローチャートである。

【符号の説明】

- 1 マクロコンピュータ
- 2 CPU
- 3 システムコントローラ
- 4 RAM
- 5 フラッシュメモリ
- 6 昇圧回路
- V_{pp} 高電圧
- 7 電圧トリミング回路
- 8 分周回路
- ϕ/n 書込み制御クロック
- ϕ/m 比較パルス
- 9 分周比トリミング回路
- 10 発振回路
- 10A 発振周波数トリミング機能付き発振回路
- 11 フラッシュメモリコントローラ
- 16 リセット信号
- 17 モード信号
- 18 評価装置
- 20 メモリセルアレイ
- R_{mat} リペア及びトリミングマット
- T_{mat} ブートマット
- 29 タイミングコントローラ
- 50 タイミングコントローラ
- 52 フラッシュヒューズ回路
- 60 昇圧部
- 66 トリミングレジスタ
- 70 比較回路
- 71 判定レジスタ
- V_{ref} 期待電圧

P a d 電極パッド

7 4 ダミーMOSトランジスタ

7 7 判定レジスタ

7 8 パルス幅比較回路

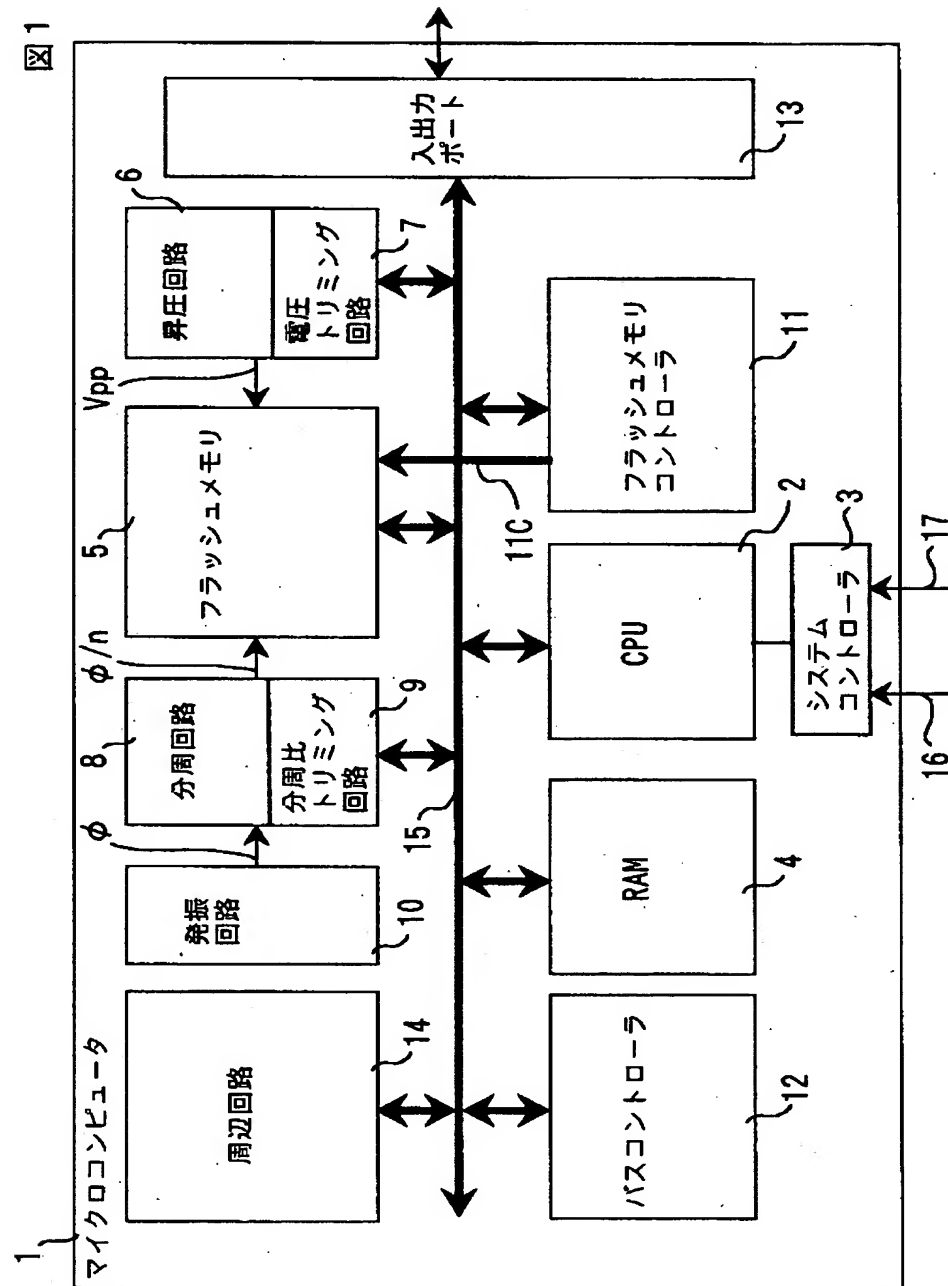
7 9 基準時間生成レジスタ

8 0 分周部

8 1 分周比トリミングレジスタ

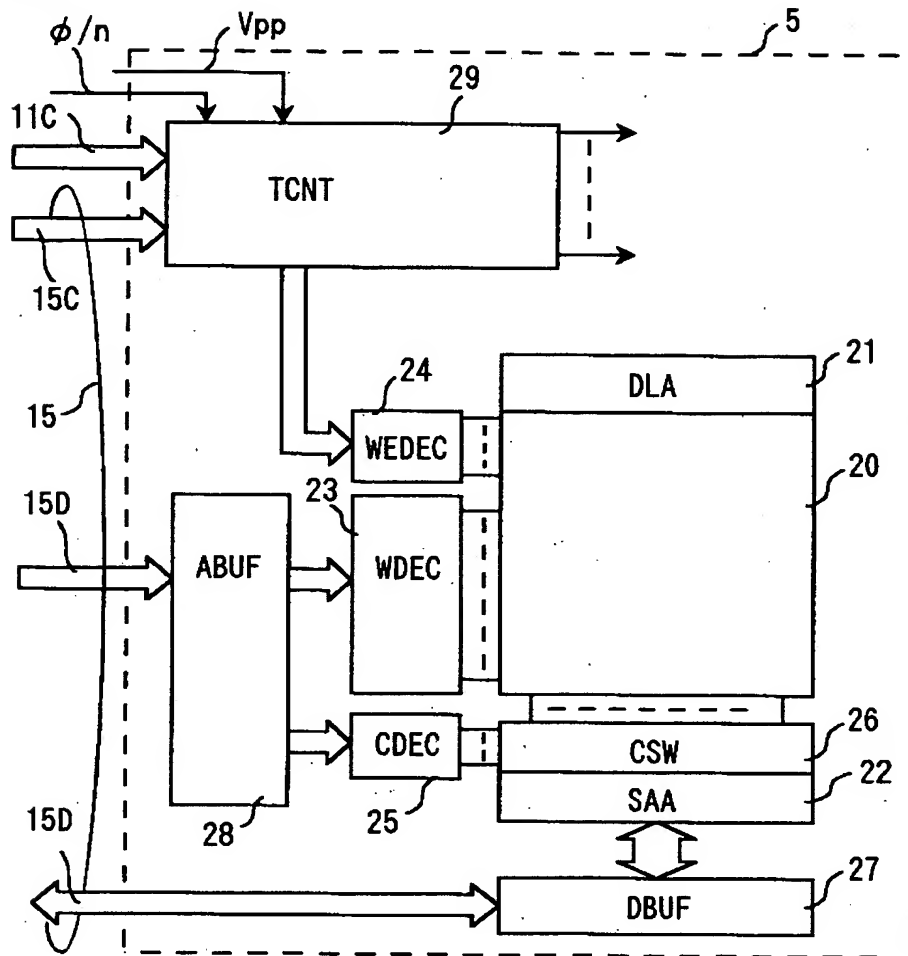
【書類名】 図面

【図 1】

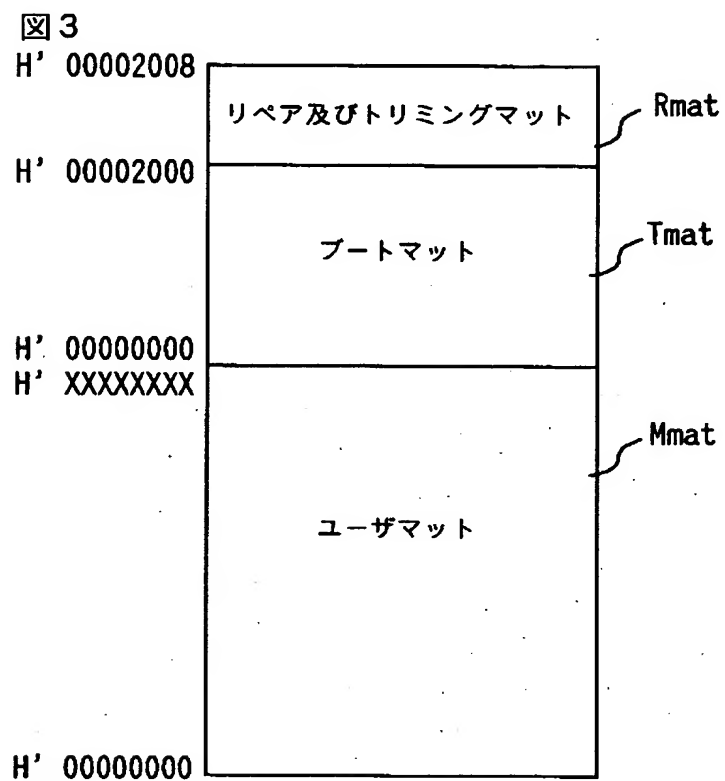


【図 2】

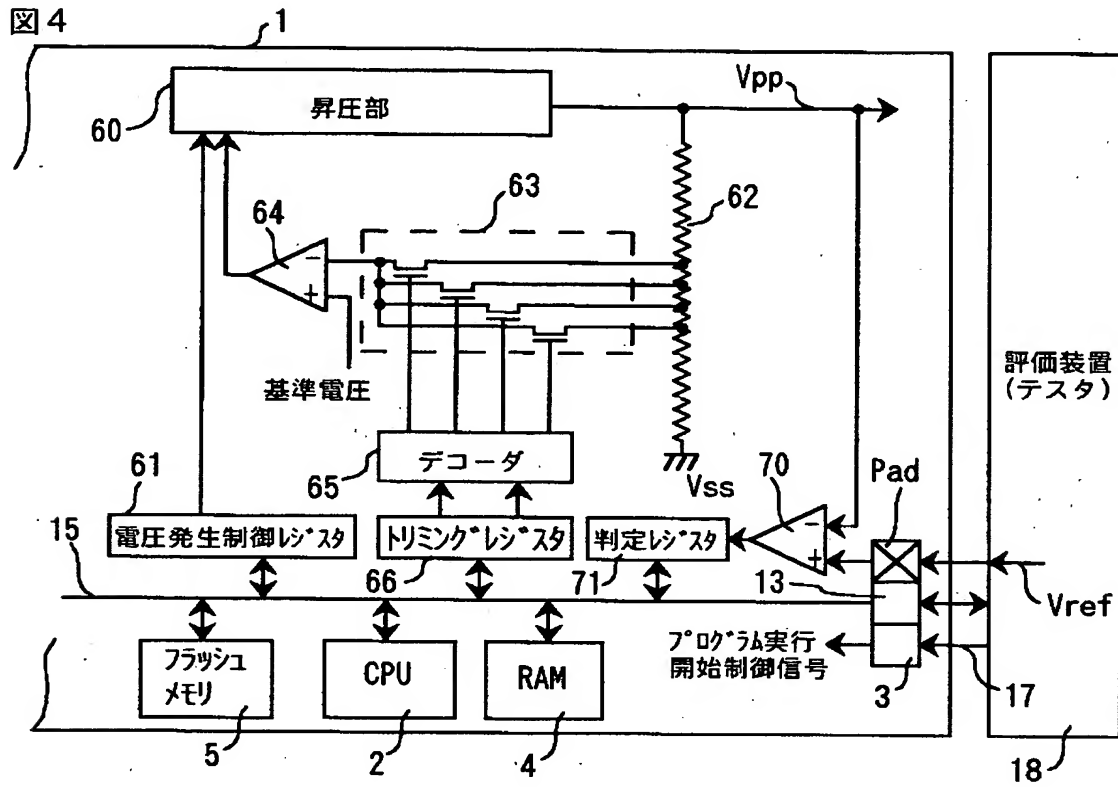
図 2



【図 3】

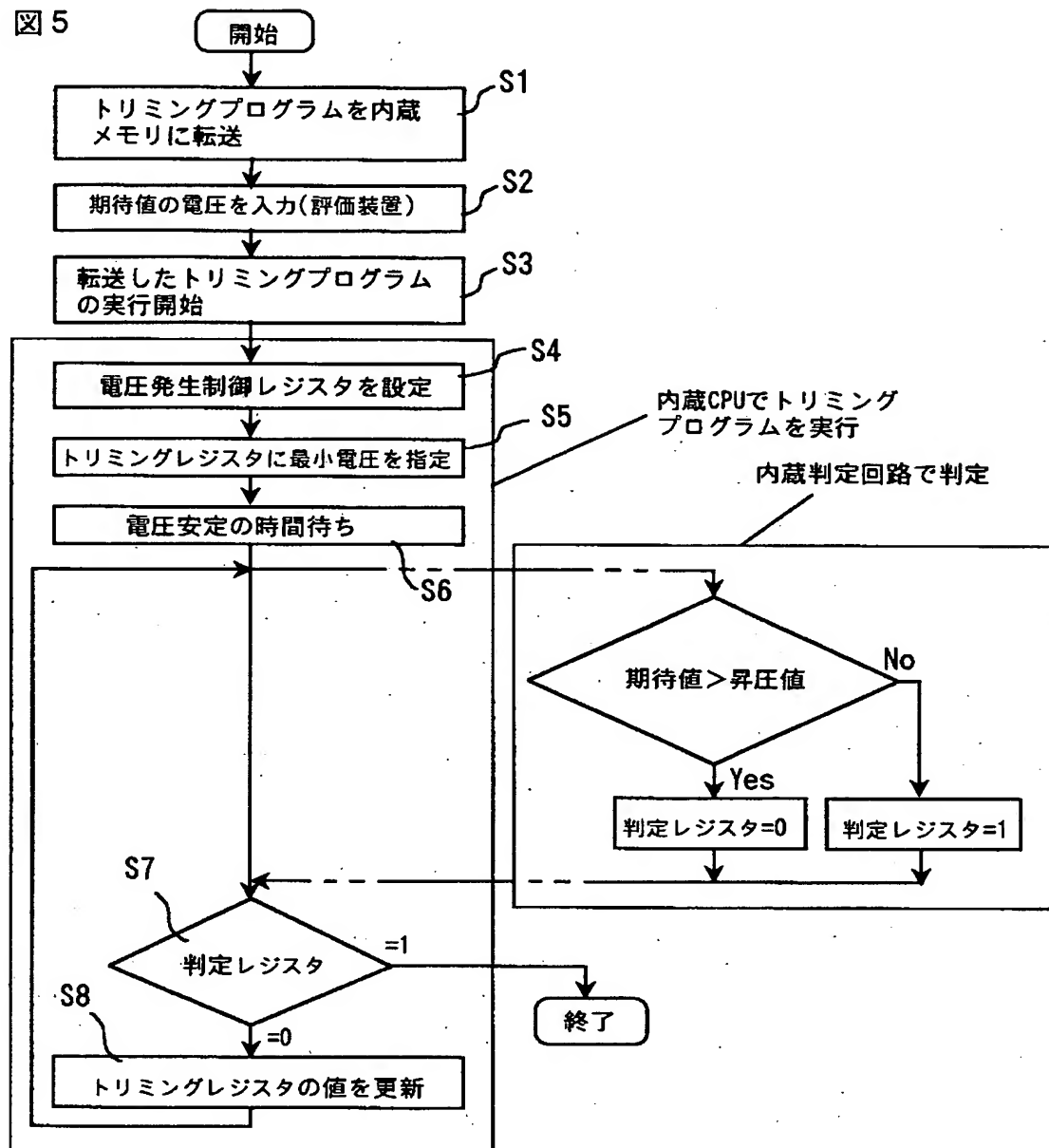


【図 4】



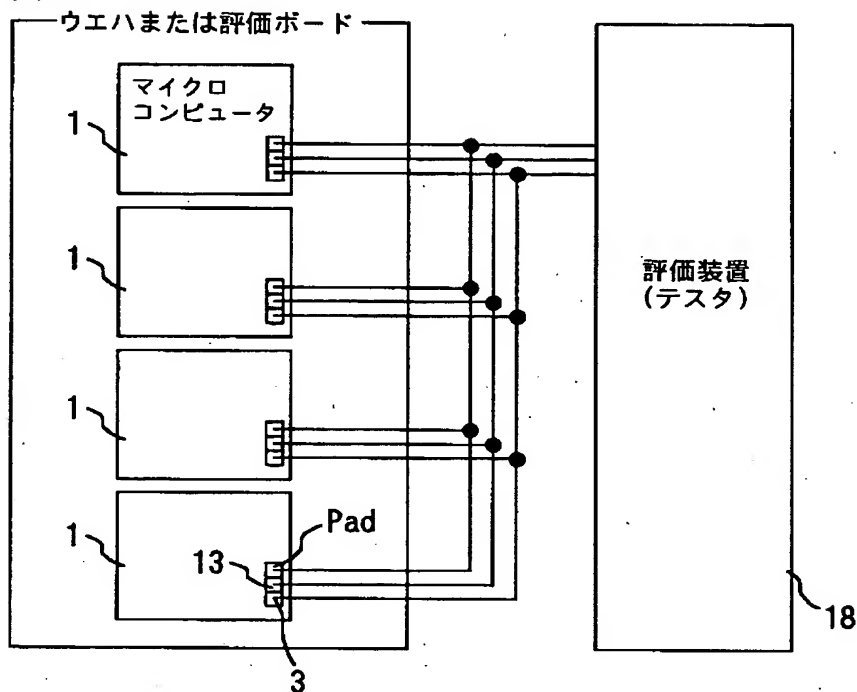
【図 5】

図 5



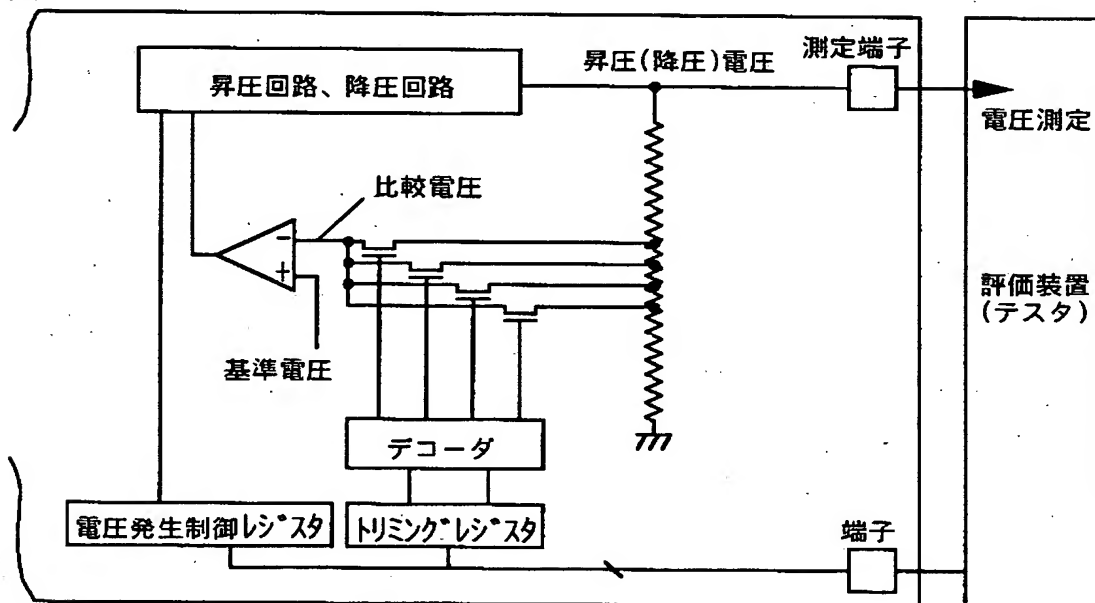
【図6】

図6



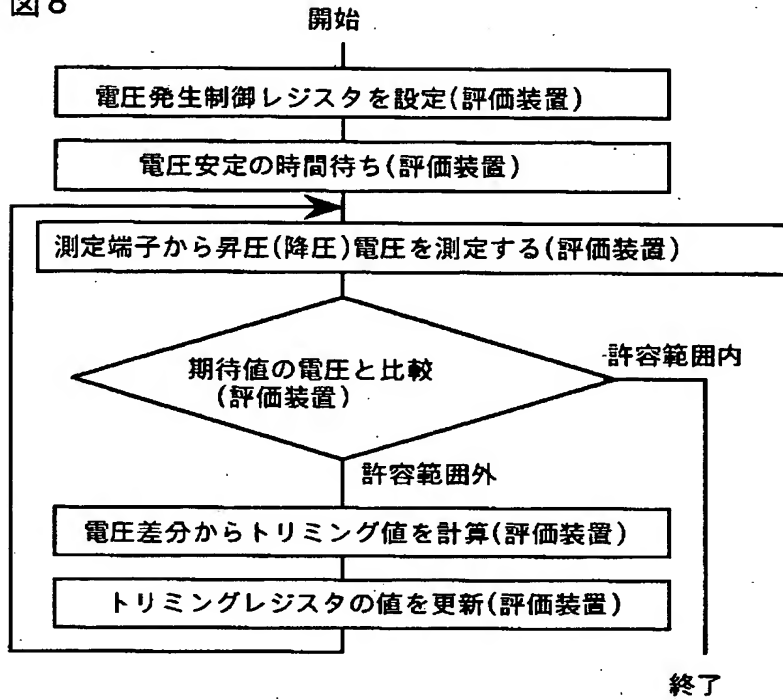
【図7】

図7



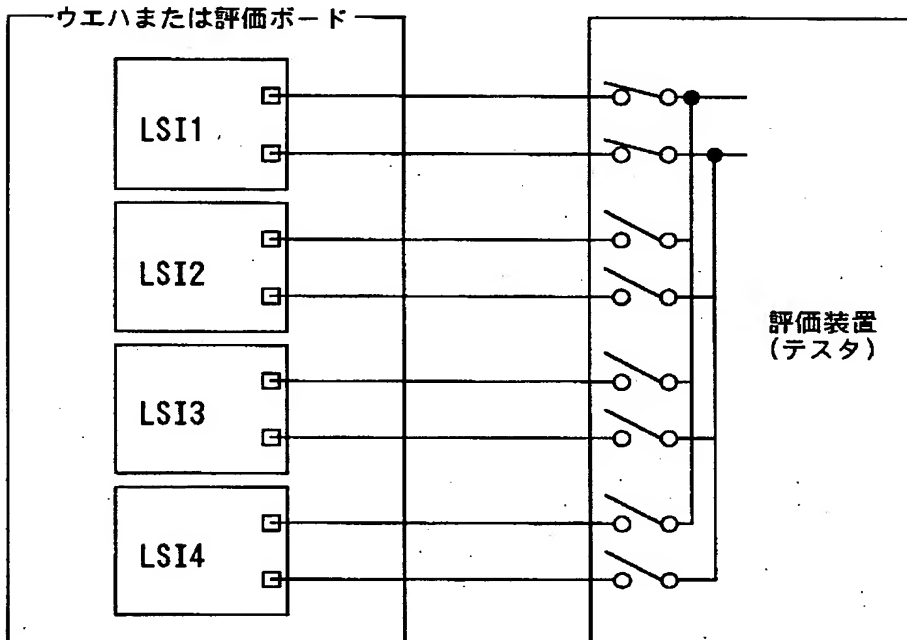
【図 8】

図 8



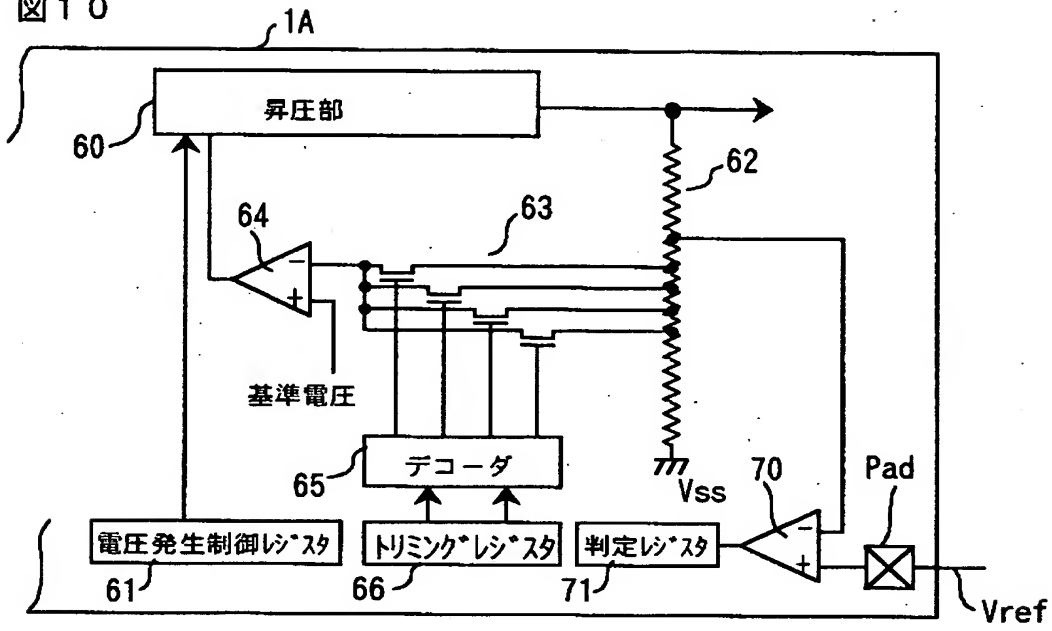
【図 9】

図 9

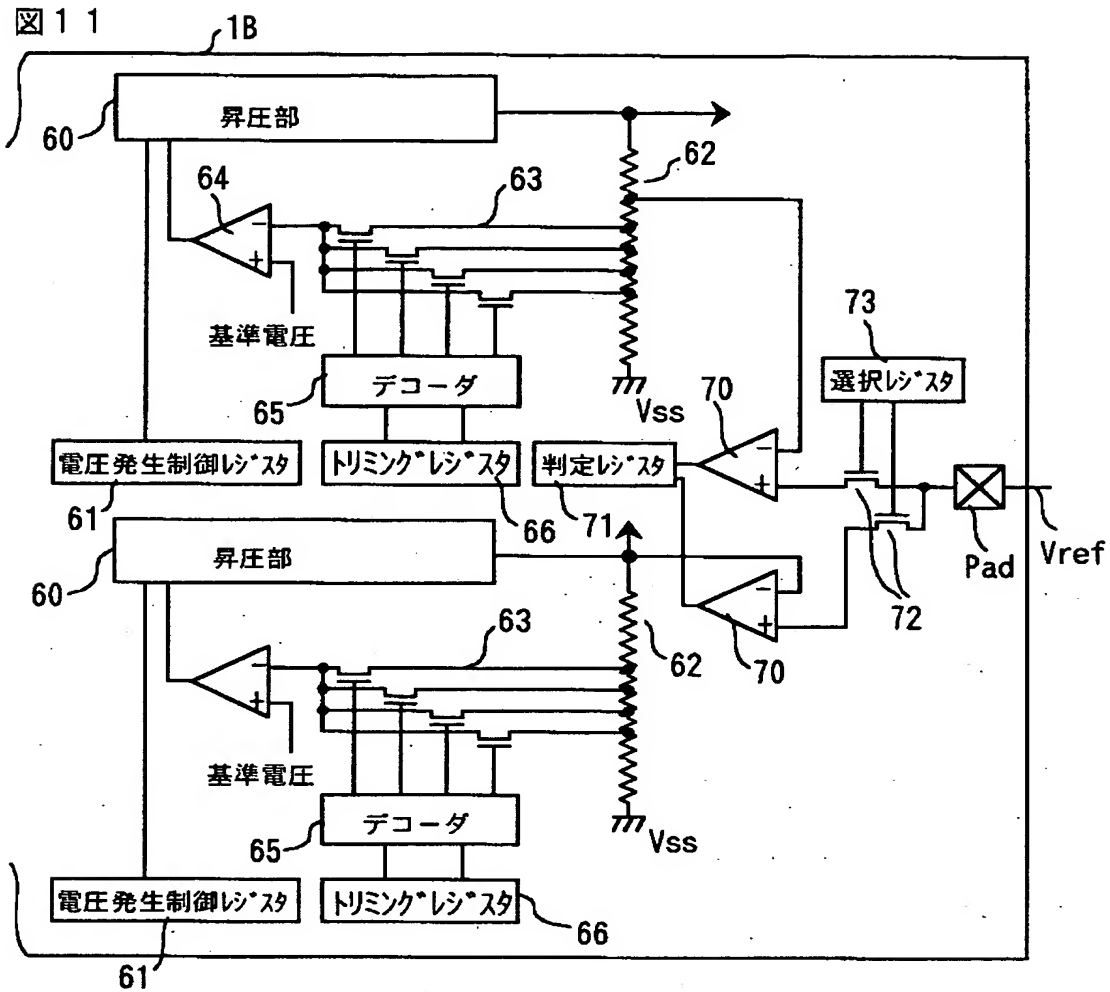


【図10】

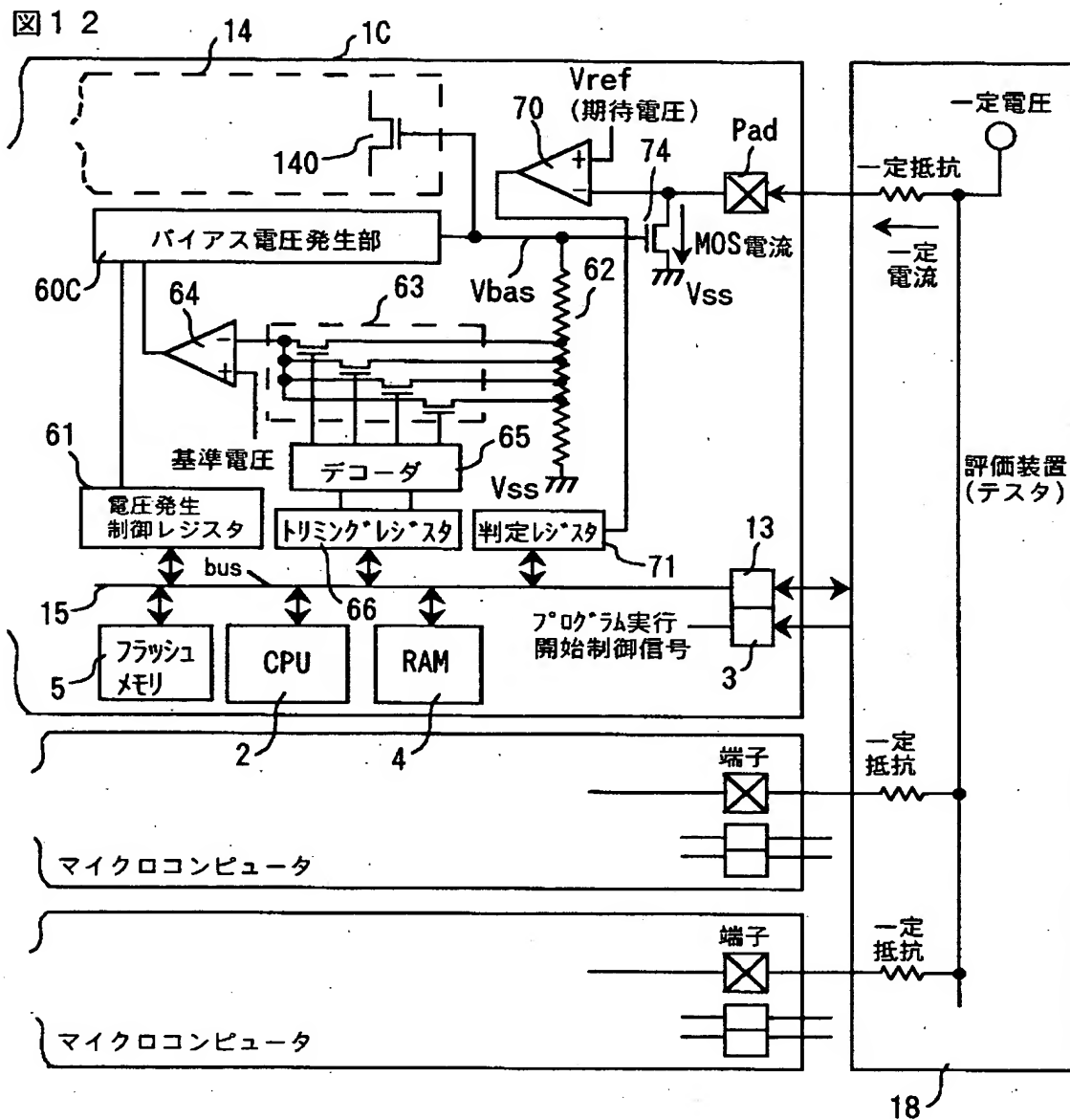
図10



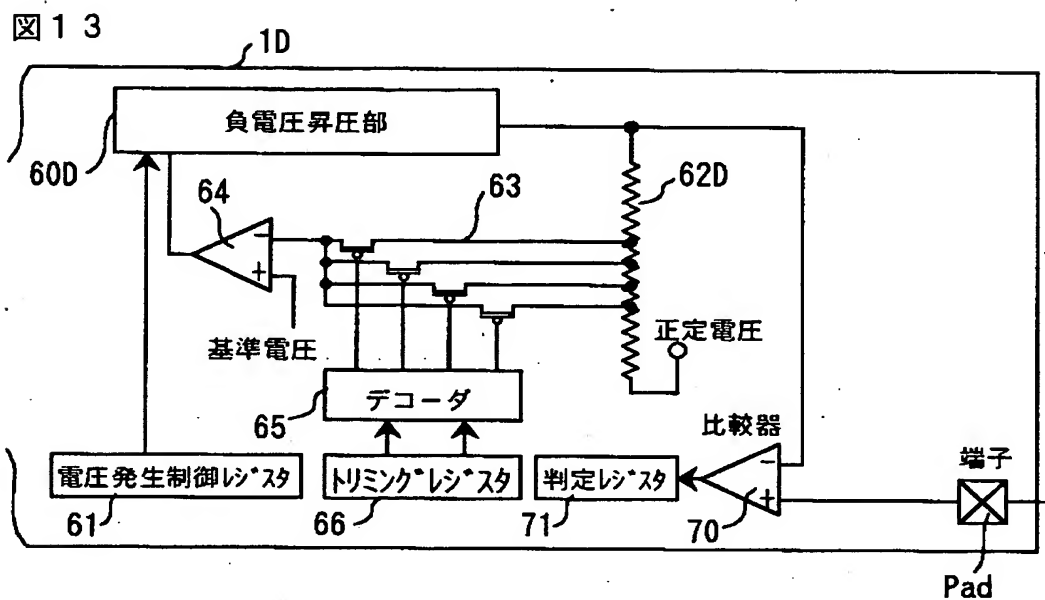
【図11】



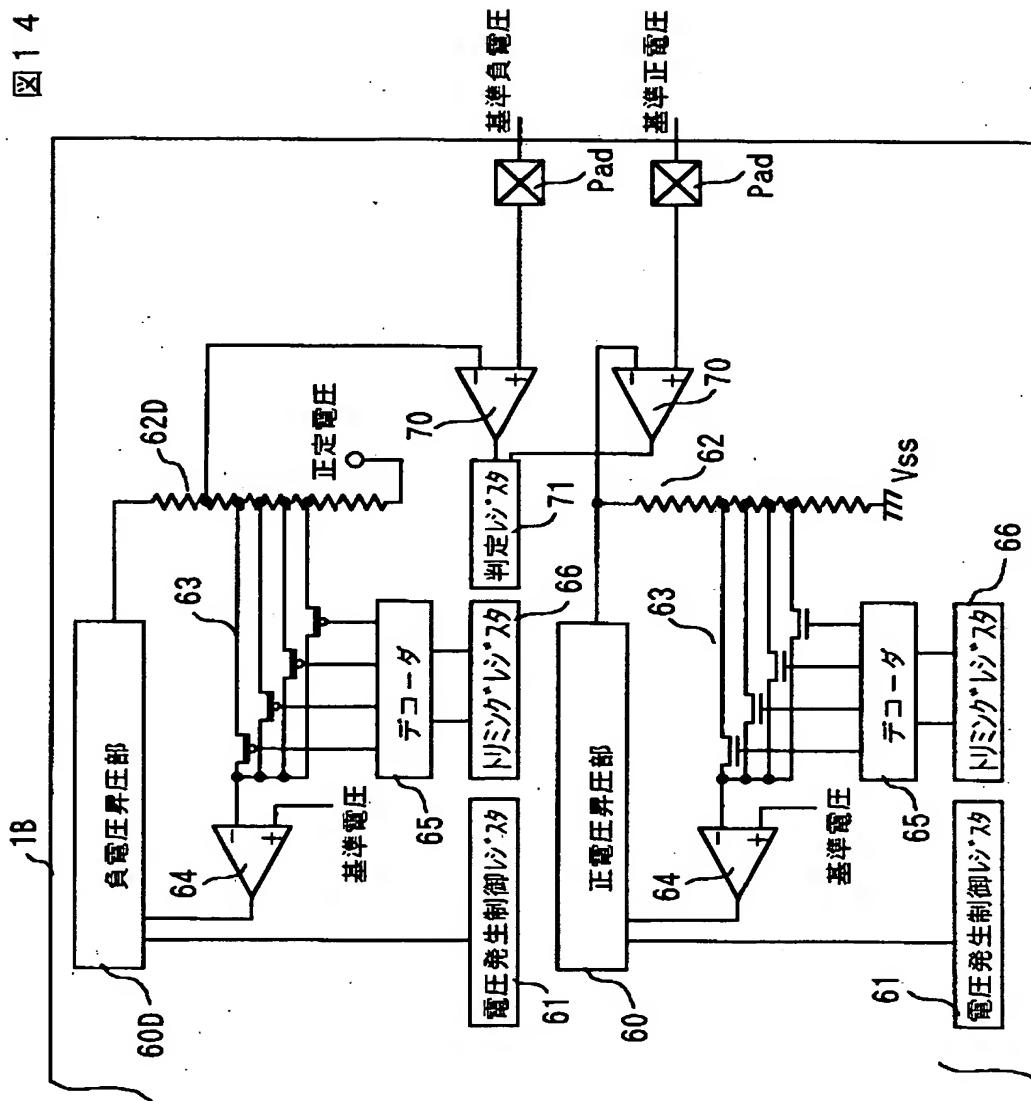
【図 12】



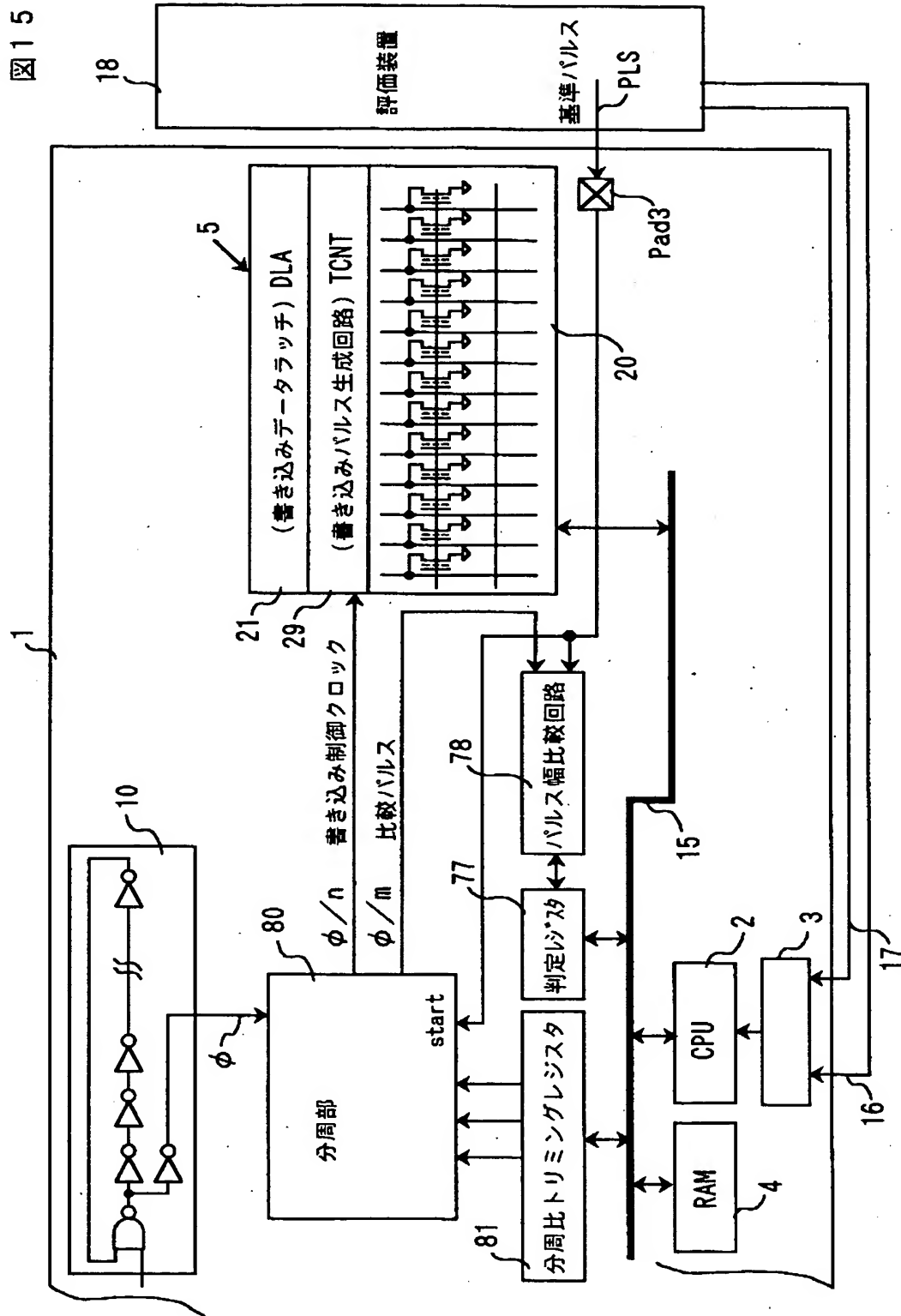
【図13】



【図 14】

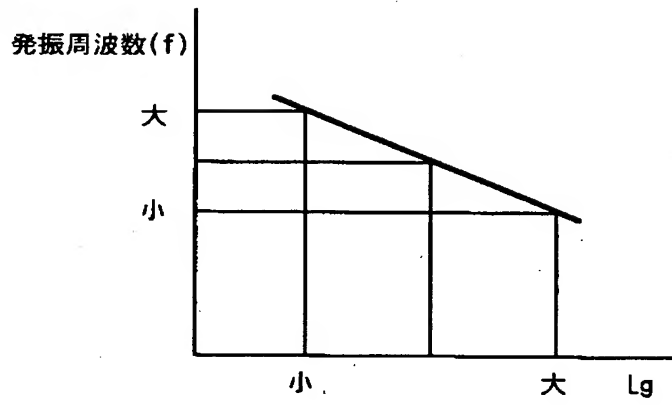
41. ☒

【図 15】

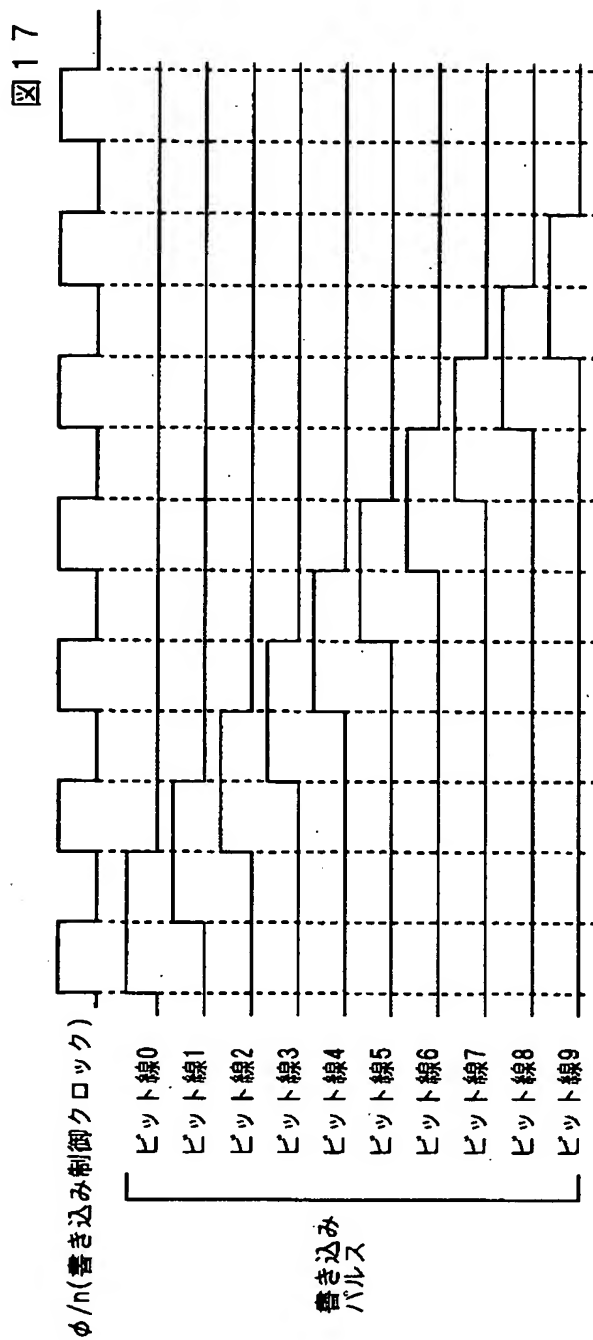


【図 1 6】

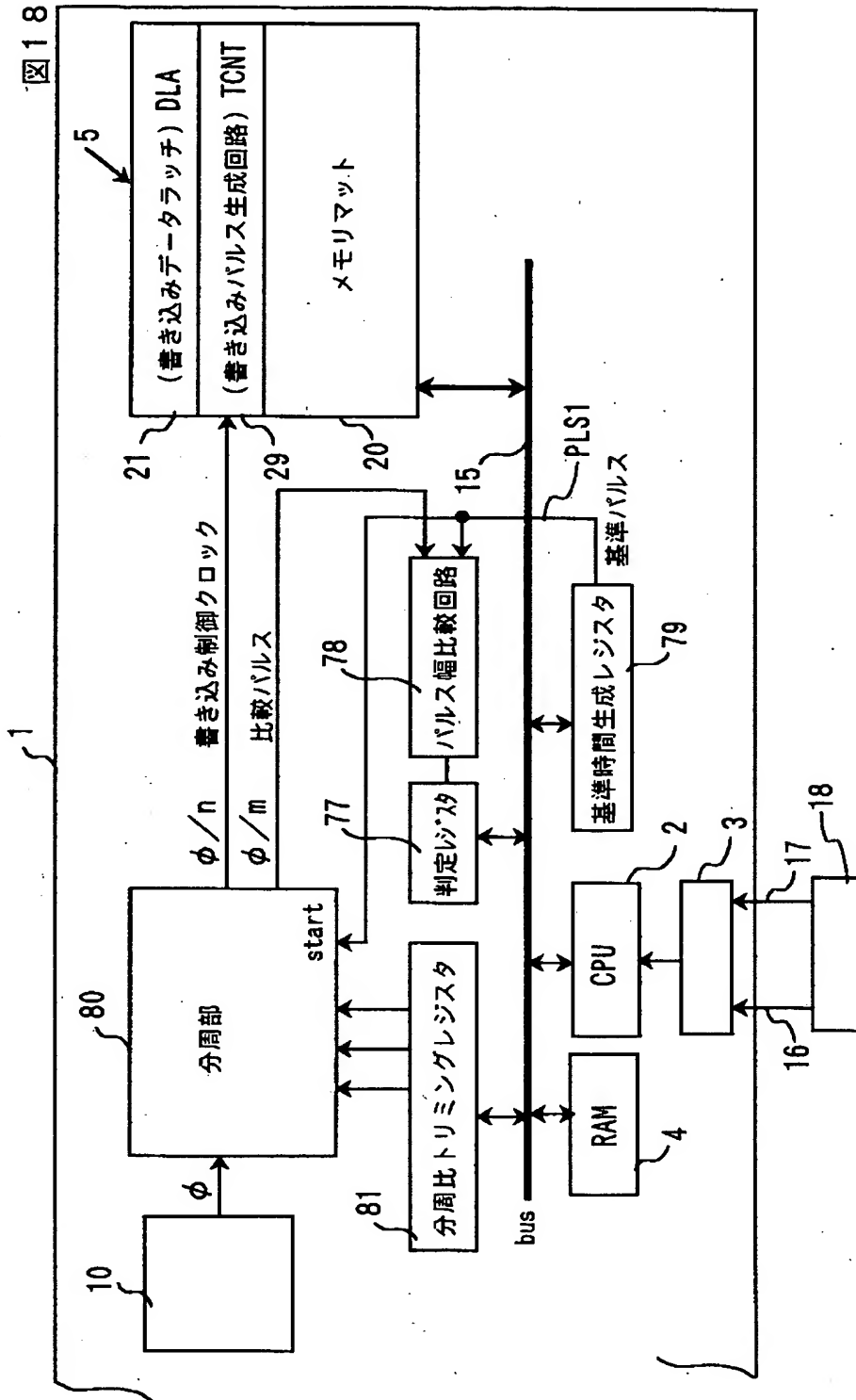
図 1 6.



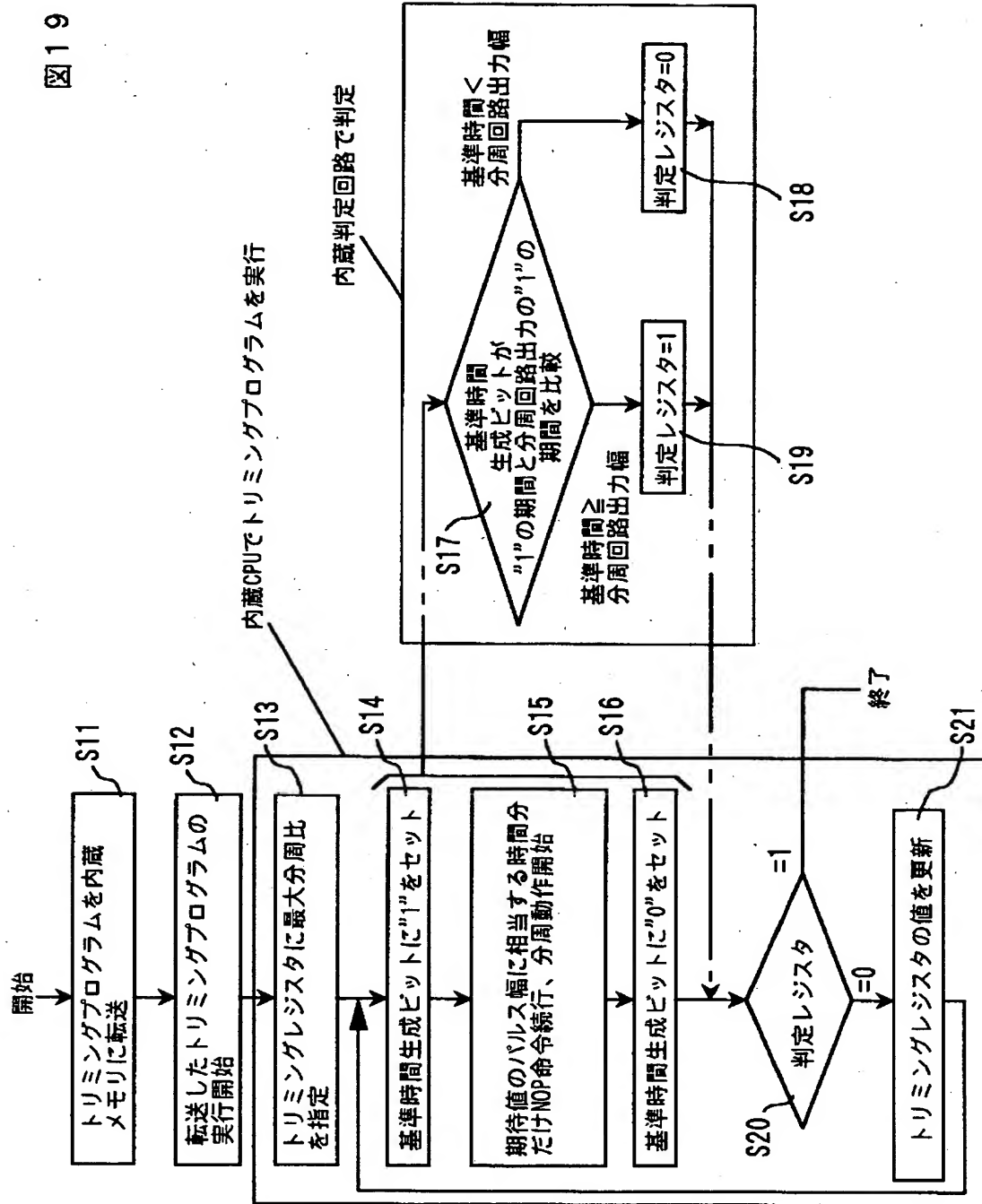
【図 17】



【图 18】



【図19】



【図 2 0】

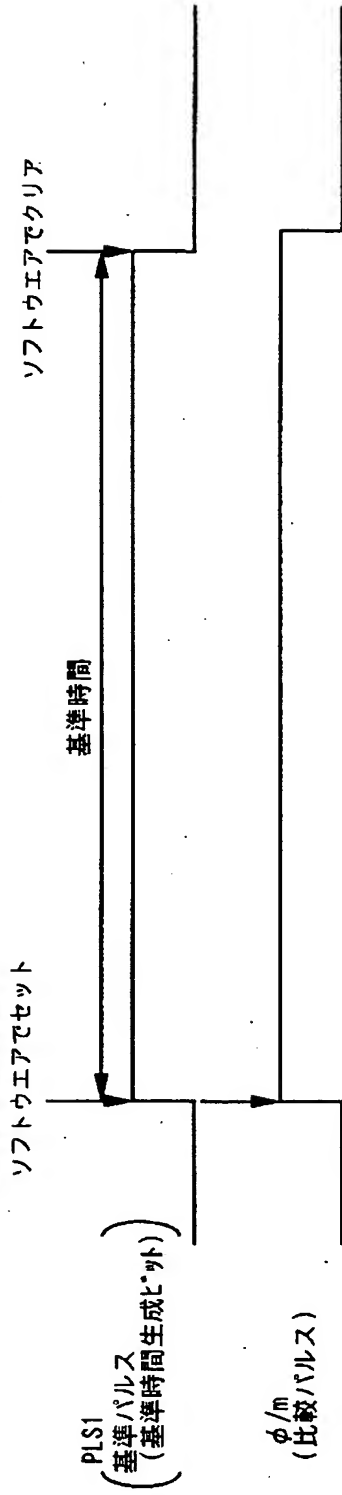
図 2 0

リグ・オシレータ周波数	トリミング		
	トリミングレジスタ	分周比	トリミング後の(ϕ/n)の周波数
64MHzの時	(0,0,0)	1/64	64/64=1.0MHz
60MHzの時	(0,0,1)	1/60	60/60=1.0MHz
56MHzの時	(0,1,0)	1/56	56/56=1.0MHz
52MHzの時	(0,1,1)	1/52	52/52=1.0MHz
48MHzの時	(1,0,0)	1/48	48/48=1.0MHz
44MHzの時	(1,0,1)	1/44	44/44=1.0MHz
40MHzの時	(1,1,0)	1/40	40/40=1.0MHz
36MHzの時	(1,1,1)	1/36	36/36=1.0MHz

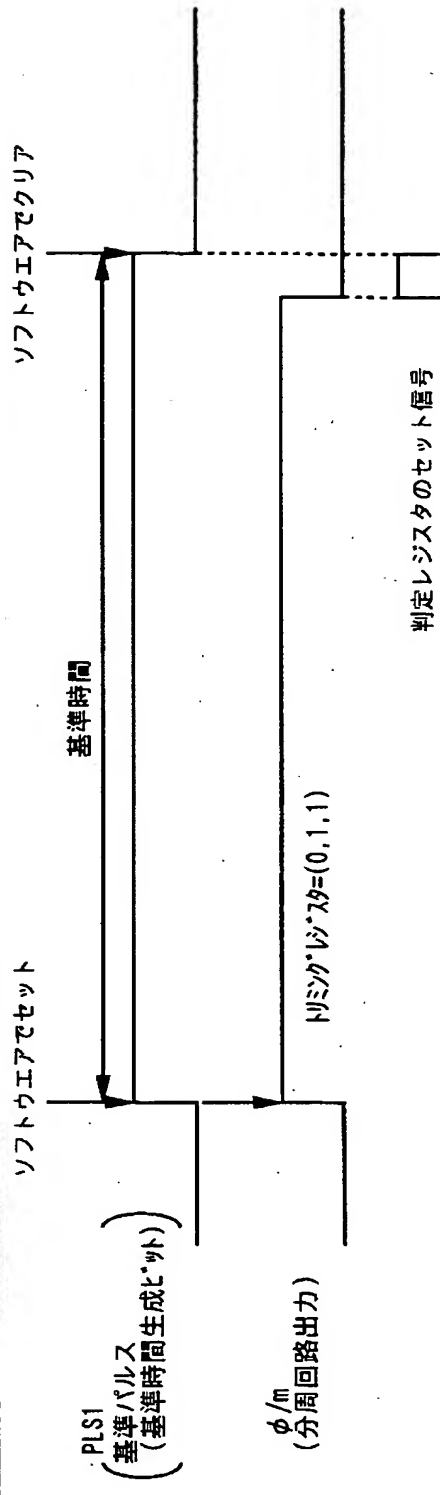
【図 21】

図 21

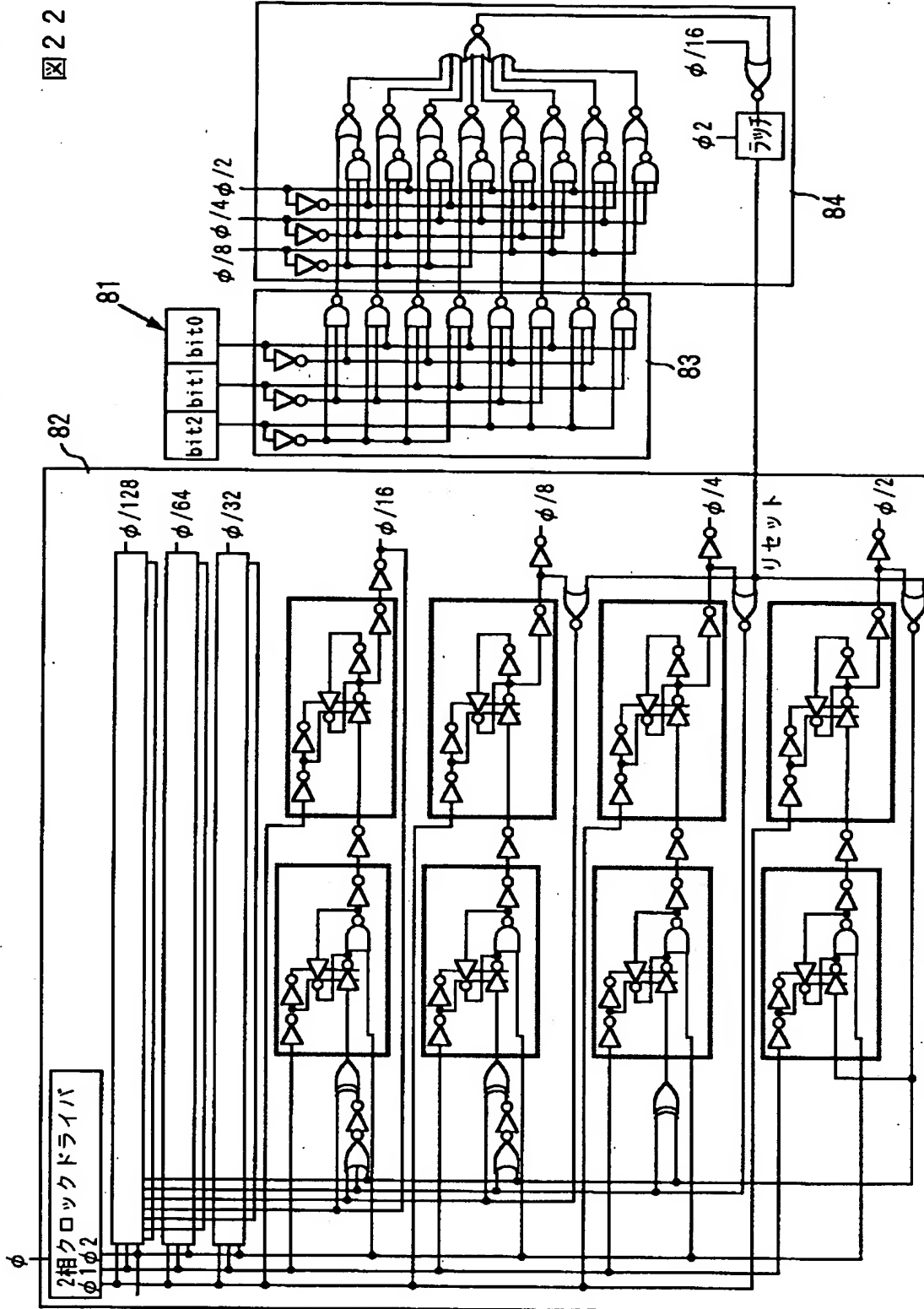
(A) トリミングレジスタ外に最大分周比を指定 <トリミングレジスタ=(0,0,0)>



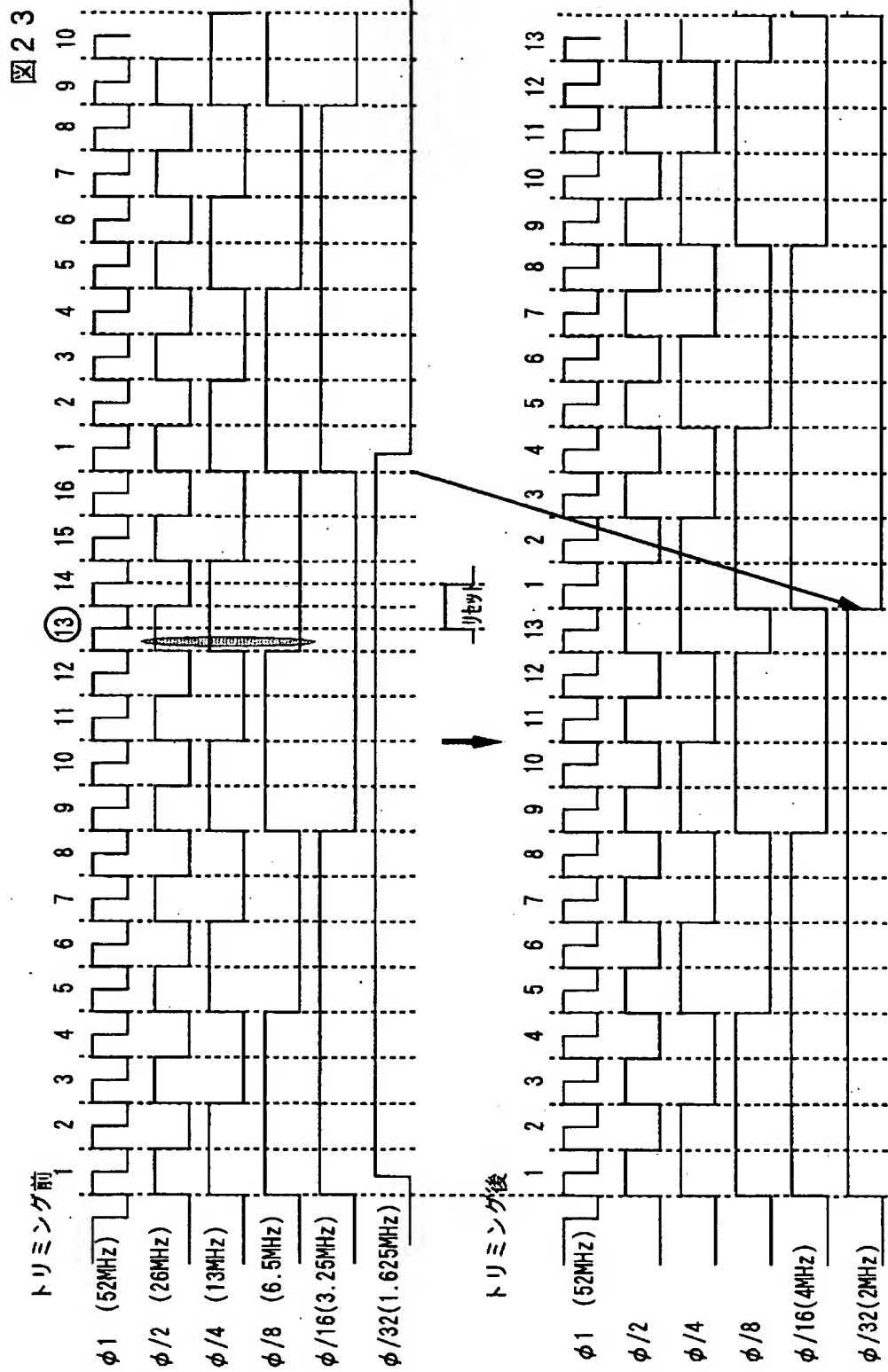
(B) トリミングレジスタの値を更新 <トリミングレジスタ=(0,1,1)>



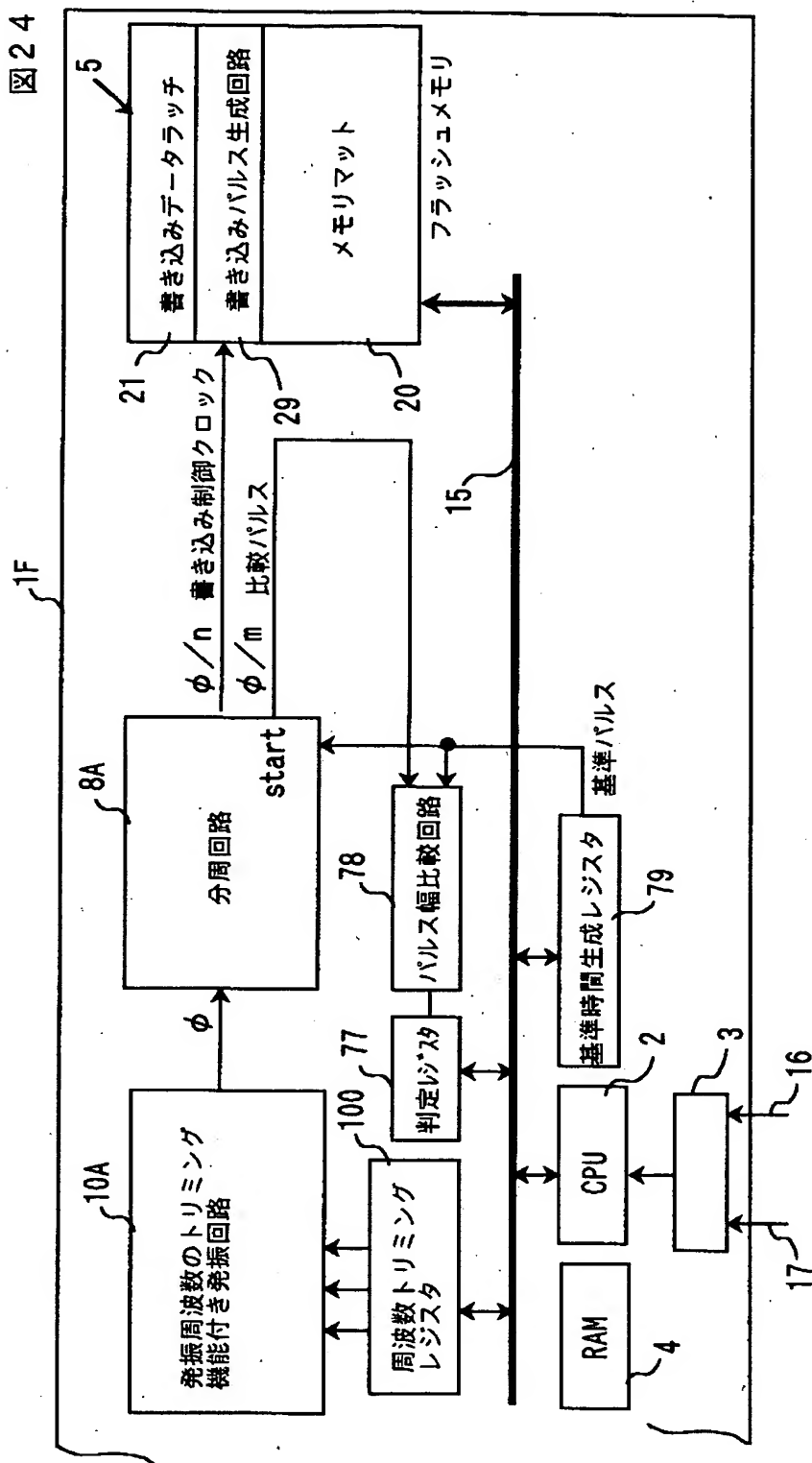
【図 22】



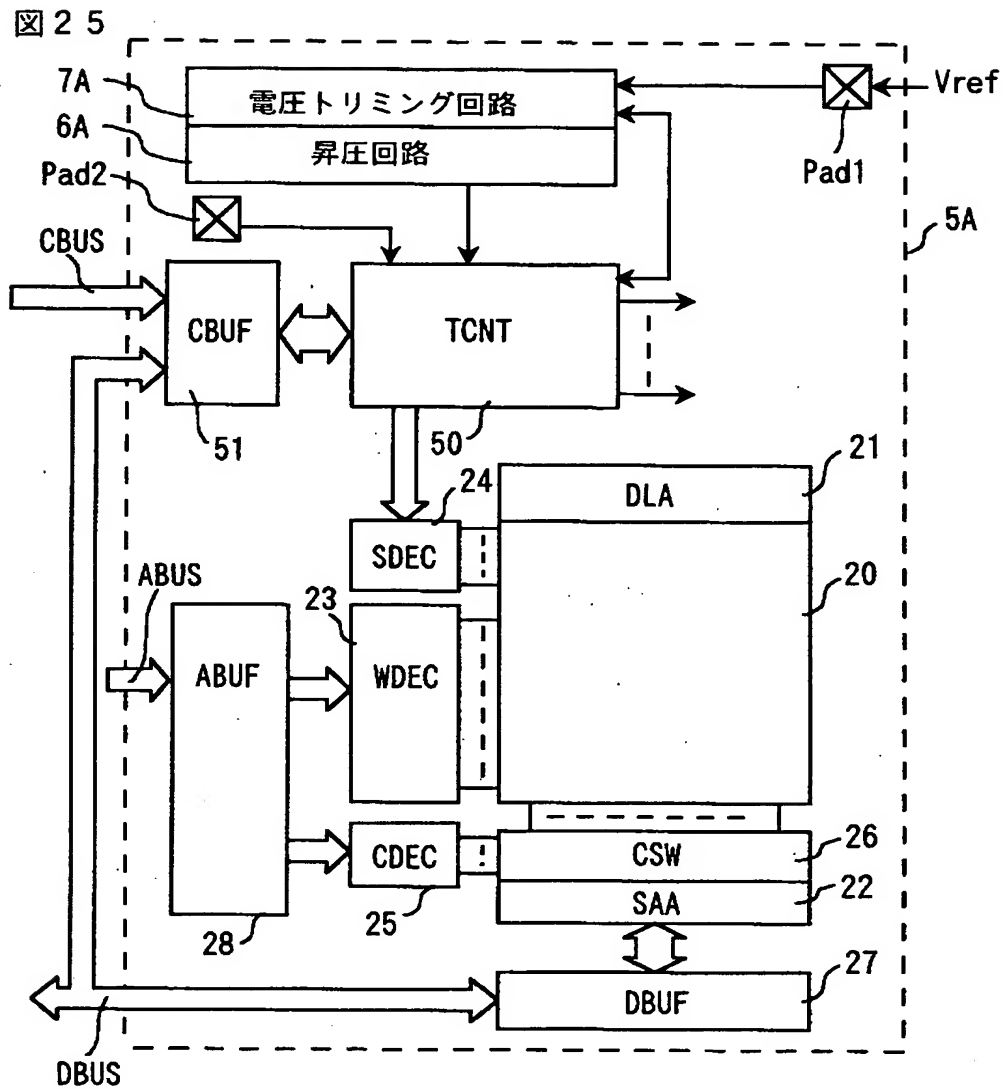
【図 23】



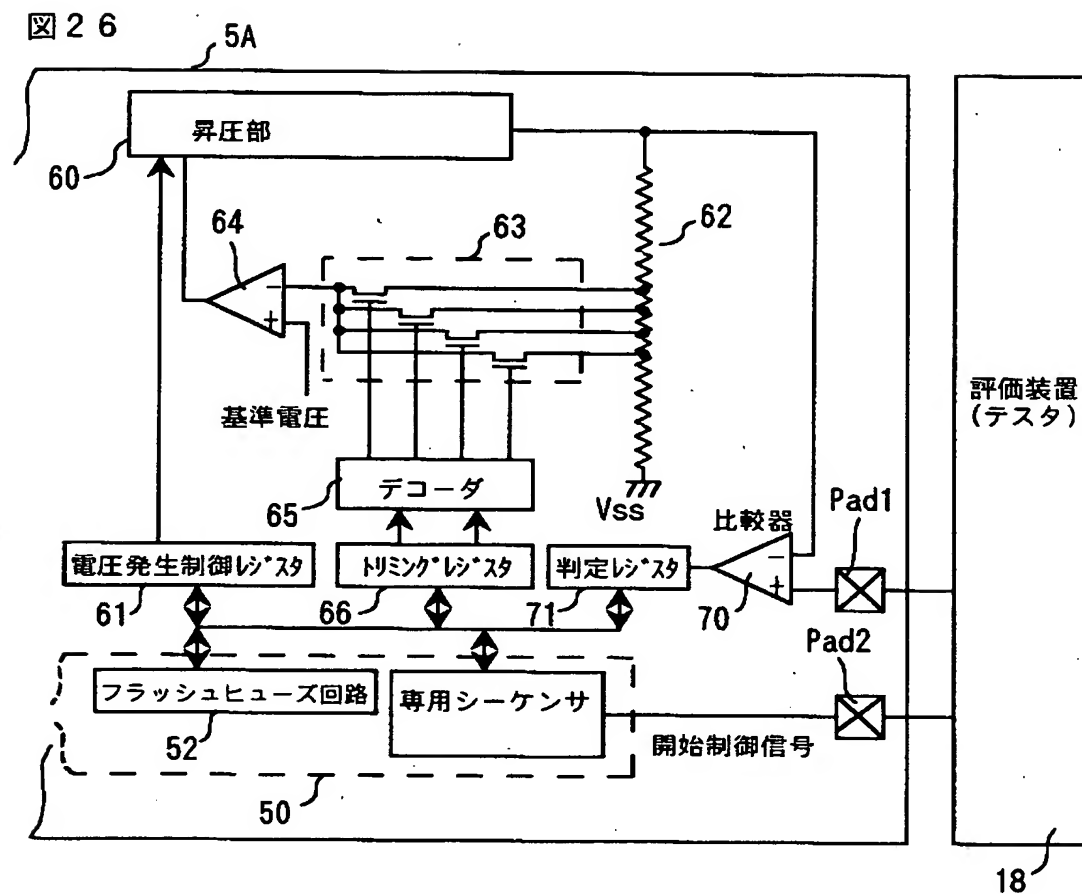
【図 24】



【図 2 5】

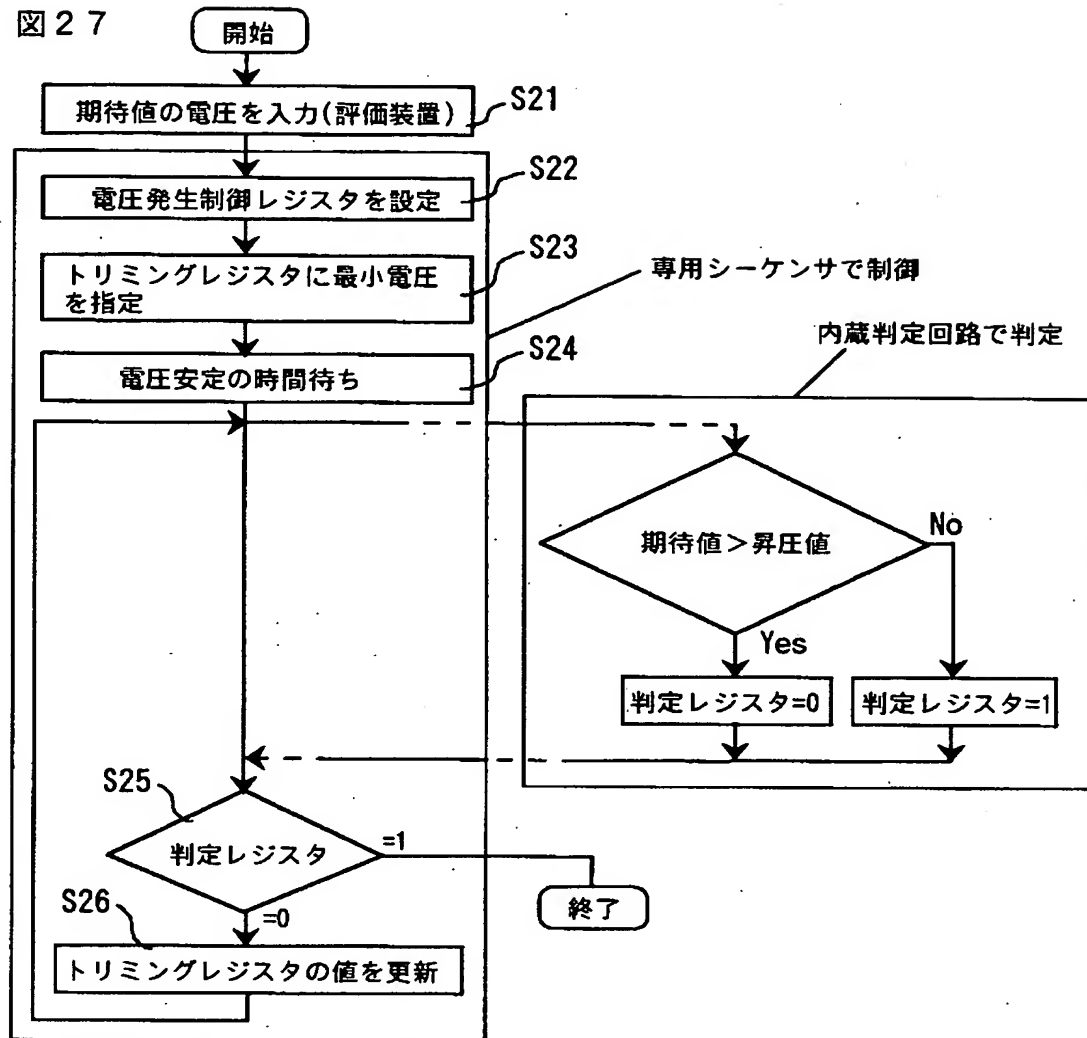


【図 26】



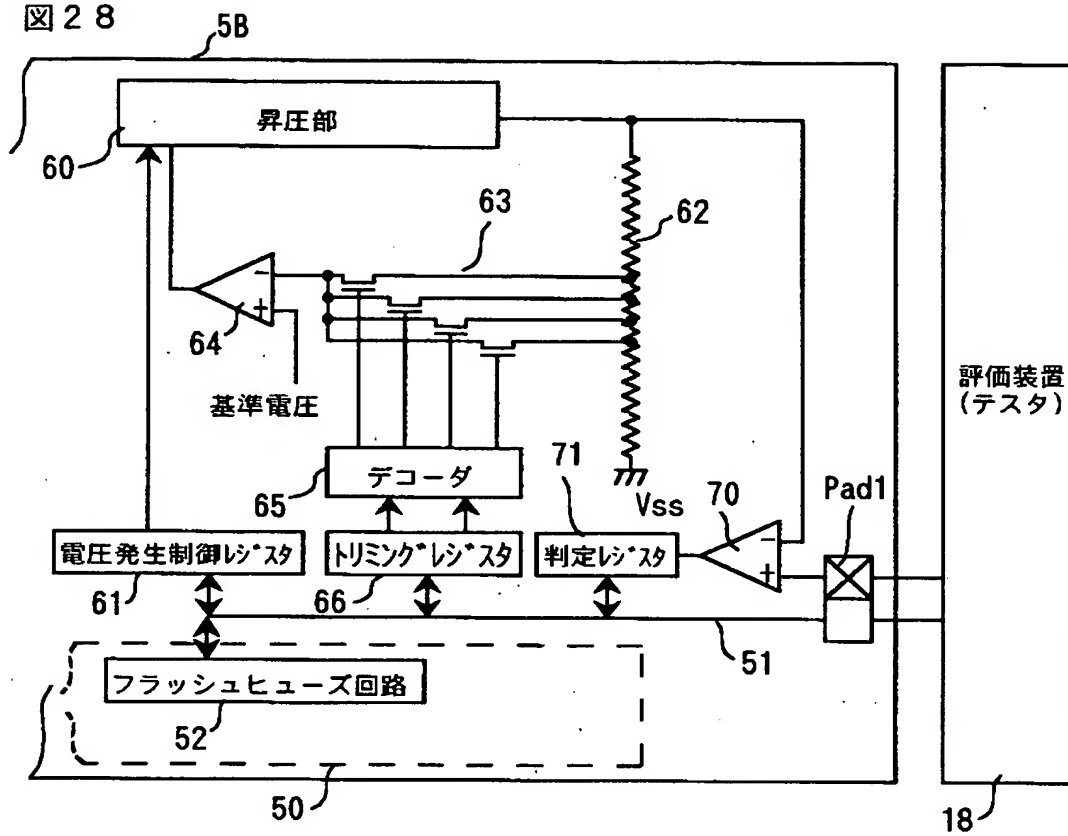
【図 2 7】

図 2 7

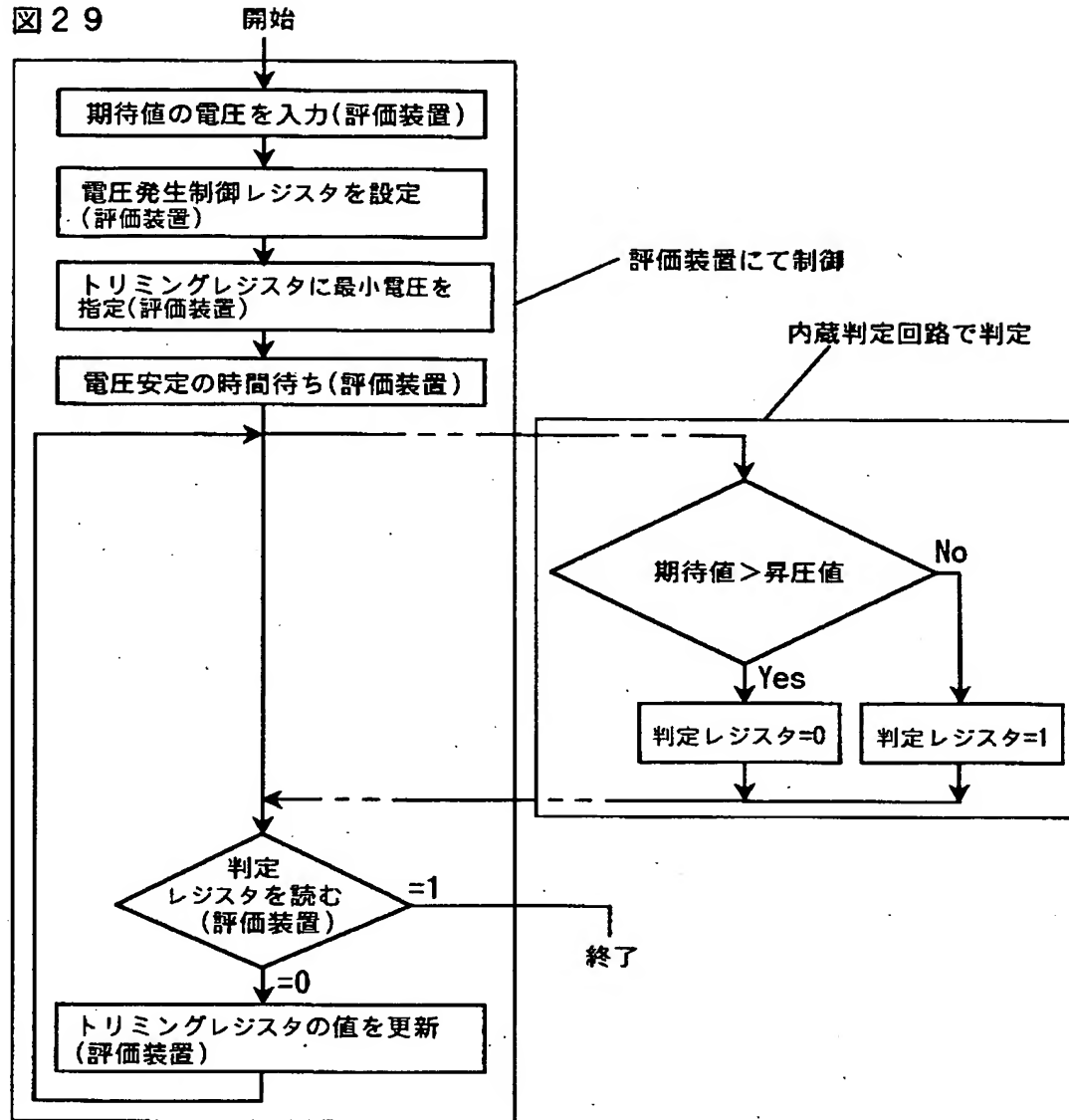


【図 28】

図 28



【図 2 9】



【書類名】 要約書

【要約】

【課題】 電圧やパルス幅などを決定する制御情報の設定を並列的に且つ容易に行うことができ、その手直しも容易な半導体集積回路を提供する。

【解決手段】 CPU (2) とフラッシュメモリ (5) を有する半導体集積回路の外部の評価装置 (18) から期待値の電圧 (V_{ref}) を複数の半導体集積回路に並列的に与える。そのために、半導体集積回路の内部には、この期待値電圧と内部で発生する昇圧電圧とを比較する比較回路 (70) を内蔵する。CPU がその比較結果を参照しながら、昇圧電圧値を変更するデータレジスタ (66) の制御データを最適に設定していく。上記の比較回路やデータレジスタを内蔵CPU で制御し、トリミングを自己完結で行うため、複数のLSI に対する並列的なトリミングが容易であり、全体としてのテスト時間を短縮できる。

【選択図】 図4

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所

出 願 人 履 歴 情 報

識別番号 [000233169]

1. 変更年月日 1998年 4月 3日

[変更理由] 名称変更

住 所 東京都小平市上水本町5丁目22番1号

氏 名 株式会社日立超エル・エス・アイ・システムズ